

国产微处理器与以太网控制器 IP 的集成方法

毕 卓¹, 郑应平², 汤 迟³

(同济大学电子与信息工程学院, 上海 200092)

摘 要: 针对如何使用现有 IP 资源加速国产微处理器产业化的问题, 提出一套将 OPENCORES 组织提供的以太网控制器 IP 同国产微处理器集成的工程方法, 其中包括如何建立微处理器与以太网控制器 IP 的硬件和软件接口, 以及相关的测试程序和环境。给出了硬件结构图及关键路径分析。采用逻辑仿真与物理仿真的方法, 证明该集成方法的有效性。

关键词: 片上系统; 以太网控制器; 集成方法

Integration Method of China-made Microprocessor with Ethernet Controller IP

BI Zhuo¹, ZHENG Ying-ping², TANG Chi³

(Electronic and Information Engineering School, Tongji University, Shanghai 200092)

【Abstract】 With respect to industrialization of the original embedded microprocessor designed by Tongji University, this paper proposes an engineering method to integrate the microprocessor with the opensource Ethernet controller IP of OPENCORES organization. This method describes how to build the hardware/software interface between the microprocessor and the Ethernet controller IP, testing environment and testing vector. Hardware architecture and critical path analysis are also introduced. The method is proved out by logic simulation and FPGA emulation.

【Key words】 SoC; Ethernet controller; integration method

1 以太网控制器 IP 功能介绍

文中所采用的以太网控制器 IP (Intellectual Prototype) 为 OPENCORES 组织成员 Kevin Nguyen, Igor Mohor, Tadej Markovic 3 人设计并维护, 可在 www.opencores.org 的网站免费下载, 详细内容请见文献[1]。文中出现的以太网相关术语和基本概念见文献[2]。该控制器由 MAC(Media Access Control)、MII(Media Independent Interface)和总线接口(host interface)3 部分构成。它的一侧是 WISHBONE^[3] 总线, 可接入片上总线; 另一侧可通过 MII 界面与 PHY(Physical Layer Entity Sublayer)芯片相连, 构成完整的以太网解决方案。具体结构参考图 1 以太网控制器结构框图。

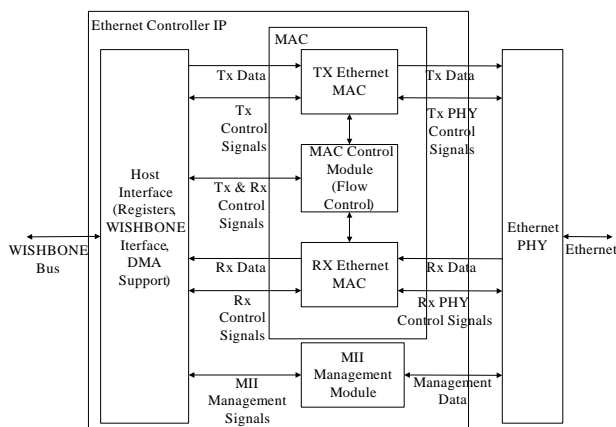


图 1 以太网控制器结构框图

该控制器可实现 802.3 和以太网 MAC 层功能, 能自动生成或进行 32 位 CRC 校验。支持前导(preamble)的生成和删除。在发送超短帧(有效数据少于 64 B)时自动填充 PAD^[2]。可自动

检测超长帧和超短帧, 支持全双工, 在全双工模式下可进行数据流控制。在半双工模式下进行载波侦听并在拥塞发生时自动重发(CSMA/CD protocol)。提供符合 802.3 的 MII 接口和兼容 WISHBONE 总线 B2, B3 版的接口。模块内部有单独的 RAM, 可保存 128 个发送或接收数据帧的描述符。

1.1 总线接口

总线接口通过 WISHBONE 总线连接以太网控制器和片上系统的其他部件如: RISC, 存储器等。目前的版本包括 2 个端口: 一个按照主机(master)规范定义端口信号, 即主端口; 另一个按照从机(slave)规范定义端口信号, 即从端口。主端口用来实现 DMA 功能, 把接收或发送的网络数据写入或读出存储器。从端口是处理器访问控制器内部寄存器的接口, 用来配置控制器功能和读取状态。

1.1.1 配置寄存器

该功能与软件设计关系密切, 表 1 列出了常用的寄存器。表 1 中所有寄存器的工作模式均为 32 位、可读可写。MODER 寄存器低 17 位有效, 其中 0 位为接收使能(receive enable), 置“1”后开始接收; 1 位为发送使能(transmit enable), 置“1”后开始发送。中断状态寄存器(INT_SOURCE)和中断屏蔽寄存器(INT_MASK)功能很明确, 不再赘述。TX_BD_NUM 寄存器用来设定发送缓冲描述符的数量(transmit buffer descriptor), 用 Tx_BD 表示; 接收缓冲描述符的数量等于 0x80-Tx_BD(即 128 减去发送描述符的数量); 该寄存器的

作者简介: 毕 卓(1979 -), 男, 博士研究生, 主研方向: SoC 设计方法, 软硬件协同规范与建模; 郑应平, 博士生导师; 汤 迟, 硕士研究生

收稿日期: 2007-04-06

E-mail: 0510080024@smail.tongji.edu.cn

写入数据不能大于 0x80。以 MII 为前缀的寄存器都与 PHY 芯片的控制有关。MIIMODER 寄存器低 9 位有效。0~7 位为分频系数，用来指定 MII 接口时钟与总线接口时钟的频率关系。8 位为导言使能。一般 PHY 的 MII 接口的默认设置为“有导言”，因此该位应该设置为“0”。MIICOMMAND 寄存器低 3 位有效，用来指定 MII 接口的工作模式。其工作模式有 3 种：读，写，扫描。扫描就是以一定频率反复读取 PHY 中某一寄存器的值。与 MIICOMMAND 寄存器密切相关的 3 个寄存器是 MIIADDRESS、MIITX_DATA 和 MIIRX_DATA。MIITX_DATA 存放着以太网控制器要发送给 PHY 的数据，MIIRX_DATA 则存放着以太网控制器从 PHY 读回的数据。MIIADDRESS 寄存器的 0~4 位用来在多 PHY 系统中选择 PHY，8~12 位则用来指定所选 PHY 中的目标寄存器。MIISTATUS 寄存器低 3 位有效，用来表示 MII 当前的状态。

表 1 常用寄存器列表

Name	Address	Description
MODER	0x00	Mode Register
INT_SOURCE	0x04	Interrupt Source Register
INT_MASK	0x08	Interrupt Mask Register
TX_BD_NUM	0x20	Transmit Buffer Descriptor Number
MIIMODER	0x28	MIIMode Register
MIICOMMAND	0x2C	MIICommand Register
MIIADDRESS	0x30	MII Address Register
		Contains the PHY address and the register within the PHY address
MIITX_DATA	0x34	MII Transmit Data
		The data to be transmitted to the PHY
MIIRX_DATA	0x38	MII Receive Data
		The data received from the PHY
MIISTATUS	0x3C	MII Status Register

1.1.2 缓冲区描述符 Buffer Descriptors(BD)

该以太网控制器的发送和接收过程分别用发送描述符和接收描述符来控制。缓冲区描述符为 64 位，头 32 位为发送或接收数据的长度和状态，尾 32 位为数据缓存的地址指针。以太网控制器内部 RAM 可以存储 128 个描述符，包括发送和接收。内部存储器的地址空间为 0x400~0x7ff。表 2 给出了发送缓冲描述符的位信息。常用的配置位为 LEN 和 TXPONT。LEN 用来指定数据部分的长度。TXPONT 用来指定数据起始地址。这里要强调的是 TXPONT 的地址空间是根据主端口地址总线来计算的，不要同从端口的地址空间混淆。

表 2 发送缓冲描述符

ADDR = Offset + 0				ADDR = Offset + 4			
31	15	RD	31	15			
30	14	IRQ	30	14			
29	13	WR	29	13			
28	12	PAD	28	12			
27	11	CRC	27	11			
26	10		26	10			
25	9	Reserved	25	9			
24	8	UR	24	8			
23	7		23	7	TXPONT	7	TXPONT
22	6		22	6			
21	5	RTRY[3:0]	21	5			
20	4		20	4			
19	3	RL	19	3			
18	2	LC	18	2			
17	1	DF	17	1			
16	0	CS	16	0			

1.2 MAC 控制模块

该模块的功能是依靠 PAUSE 帧来实现全双工条件下的数据流控制。当接收站较高的网络协议层来不及连续接收网络数据包时，便把数据存放到接收缓冲区中。在接收缓冲区发生溢出之前，较高的协议层会让 MAC 控制模块发送 PAUSE 帧给数据发送站。当发送站的 MAC 控制模块接收到了 PAUSE 帧后，把接收到的值装入 PAUSE 计数器，并在 PAUSE 计数器计时周期内停止发送。MAC 控制模块包括下列功能：控制帧侦测器(control frame detector)，控制帧生成

器(control frame generator)，发送/接收界面(TX/RX MAC interface)，PAUSE 计数器，时隙计数器(slot timer)。

控制帧侦测器用来检查接收的帧是否是 PAUSE 帧。而控制帧生成器的功能是按协议在需要的时候生成一个 PAUSE 控制帧(在全双工数据控制模式下)。发送、接收界面的主要功能是完成以太网控制与 PHY 的数据交互，分为发送和接收 2 部分。PAUSE 计数器从 PAUSE 帧的数据段接收到初值，然后在每个时隙计数器产生的脉冲驱动下进行减计数，用来保证停止发送数据的时间间隔。时隙计数器测量时间间隔并生成给 PAUSE 计数器的脉冲。

1.3 MII 管理模块

MIIM 管理模块是一个简单的 2 线界面，用来配置 PHY 的工作模式和读取其状态信息。物理界面由数据线 MDIO (Management Data Input/Output)和时钟线(management data clock)组成。在读写操作期间，数据位在每个 MDC 的上升沿被移入或移出 MDIO 数据信号上。配置和状态数据通过 MDIO 从 PHY 写入或读出。MDIO 上串行数据也是有固定格式的，一般的 PHY 芯片的数据手册都会详细给出，也可见文献[4]。MDC 是一个由主时钟分频得到的时钟。MIIM 管理模块包括 4 个子模块：运行控制器(operation controller)，移位寄存器(shift registers)，输出控制模块(output control module)，时钟生成器(clock generator)。

2 使用范例

2.1 微处理器简介

BC320 是国家“863”计划项目，由同济大学、清华大学、上海芯豪公司共同研制。BC320 是以全定制设计为特色的 32 位嵌入式 CPU，五级流水线，在内部工作频率 500 MHz 条件下功耗为 0.455 mW/MHz，内核尺寸为 2.179 × 1.346 mm²，4 KB 指令缓存，4 KB 数据缓存。该处理器的特点是面积小，功耗低，非常适合作为 IP 使用。

2.2 硬件集成

2.2.1 系统结构

图 2 给出了硬件集成的框图。

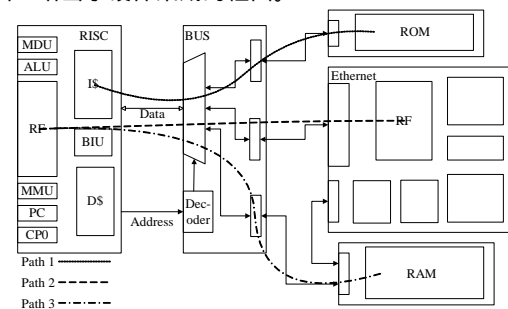


图 2 系统结构

该系统包括 5 个部件：微处理器，总线，以太网控制器，ROM 和 RAM。其中，ROM 存放测试程序；RAM 作为以太网控制器数据缓存。该系统中有 3 条关键路径需要特别注意。第 1 条是 ROM 到指令缓存(instruction cache)的单向路径，如图 2 中 Path1 所示。该路径的时延决定的系统指令装填的速度，这是一条计算机系统设计中“经典”关键路径。第 2 条是以太网控制器的寄存器堆到微处理器寄存器堆的双向路径，如图 2 中 Path2 所示。该路径影响外围接口寄存器的数据读写速度，即影响外部寄存器的更新速度，也会影响系统状态的更新。第 3 条是 RAM 到微处理器寄存器堆(register file)的双向路径，如图 2 中 Path3 所示。该路径影响微处理器数

据装填和写回的速度，即影响系统数据更新的速度。

2.2.2 硬件集成

硬件集成的主要表现形式是硬件描述语言(Hardware Describe Language, HDL)的代码集成。硬件描述语言是描述硬件结构的规范的程序语言，可提高硬件系统的可读性和重用性。目前常用的有2种：Verilog HDL 和 VHDL。本文采用前者。由于图2已经将模块之间的关系描述清楚，因此在代码顶层(top level)将相应端口连接即可。各个模块接入WISBONE总线的时候要注意地址的分配、ACK信号(WISHBONE总线规范定义的从机应答信号)的选通以及中断信号的预留。要强调的是，有些接口信号如MDIO，为双向通路，即数据最后通过三态门输出；在描述的时候要将其分解成3个信号输出信号MDO，输入信号MDI和控制信号MDC。因为三态门在版图中一般采用相应的压焊点(PAD)实现，而不用逻辑电路实现。

2.2.3 测试环境

系统集成之后在MEMC公司的Virtex-II Pro™ FF1152和Virtex-4™ MB平台上进行了测试，测试环境如图3所示。其中RS232作为辅助接口与上位机联系，把系统内部的数据变化发送上来。上位机安装了Sniffer软件，用来接收和发送以太网数据包。

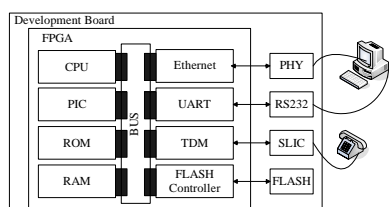


图3 测试环境

2.3 测试程序

图4给出了数据发送流程和连接(link)状态检测流程，对后者感兴趣的读者可对照文献[1, 4]。

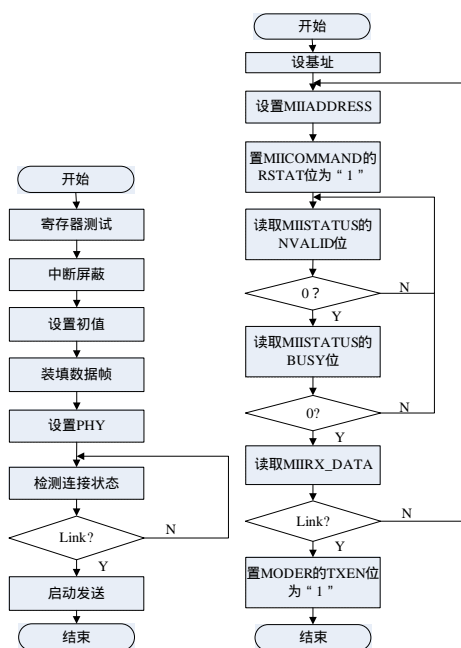


图4 数据发送流程与Link状态检测流程

PHY一般不需要做太多的设置，只要将0号寄存器(控制寄存器)的12位，即自动协商使能位(auto-negotiation enable)，置“1”设为有效即可。系统加电之后PHY会自动发送协商

信号给网络上的其他设备，然后获得一个最快的网络速率。在网络连接建立起来之后PHY把1号寄存器(状态寄存器)的2位，即连接状态位(link status)，置“1”表示链路已经建立。当然，由于FPGA开发板的限制，有时需要将MAC和PHY的工作模式设为10 Mbps，此时需在设置MIADDRESS之后添加2个步骤。(1)设置MIITX_DATA寄存器。在其中写入相应的PHY芯片寄存器配置数据，一般应用只要配置0号寄存器即可。(2)将MIICOMMAND寄存器的WCTRLDATA(Write Control Data)位设为“1”，即可将MIITX_DATA里的数据写入PHY芯片的配置寄存器。对于符合IEEE规定的PHY芯片，一般定义0号寄存器为控制寄存器，1号寄存器为状态寄存器。不同公司的产品在这2个寄存器内容具体定义上有一些小的差别，这些差别主要出现在IEEE留给芯片设计公司自定义的“位”上，对相关软件的兼容性影响不大。

下文给出了链路Link状态检测程序的最简源代码，可适应不同的PHY芯片。代码采用MIPS32汇编指令集编写。

链路link状态检测程序

lui \$8, 0x9000 #设置\$8为MAC的基地址 0x90000000

link:

ori \$14, \$0, 0x00000000

ori \$14, \$14, 0x100

sw \$14, 0x30(\$8)

ori \$13, \$0, 0x02

sw \$13, 0x2C(\$8)

wait:

lw \$15, 0x3C(\$8)

andi \$11, \$15, 0x04

bne \$11, \$0, wait

lw \$15, 0x3C(\$8)

andi \$11, \$15, 0x02

bne \$11, \$0, wait

lw \$10, 0x38(\$8)

andi \$11, \$10, 0x04

beq \$11, \$0, link

ori \$12, \$0, 0x000A402

sw \$12, 0(\$8)

3 结束语

随着我国集成电路设计产业的发展，IP问题得到越来越多的关注。在如网络电话(VoIP)、网络电视(IPTV)等基于网络的新产品的推动下，以太网控制器的需求不断增加。此类有线网络终端设备的主芯片都需要提供以太网控制器和嵌入式微处理器。本文提出的一些方法可以在上述应用中发挥作用。

参考文献

- [1] Mohor I. Ethernet IP Core Specification[Z]. (2006-09-01). <http://www.opencores.org/projects.cgi/web/ethmac/overview>.
- [2] IEEE 802.3™. Part 3: Carrier Sense Multiple Access with Collision Detection(CSMA/CD) Access Method and Physical Layer Specifications[Z]. (2005-10-01). <http://standards.ieee.org/getieee802/802.3.html>.
- [3] Herveille R. WISHBONE SoC Interconnection Architecture for Portable IP Cores Revision: B.3[Z]. (2006-09-01). http://www.opencores.org/projects.cgi/web/wishbone/wbspec_b3.pdf.
- [4] Intel Corporation. Intel® LXT971A 3.3V Dual-speed Fast Ethernet PHY Transceiver Datasheet[Z]. (2006-03-01). <http://www.kip.uni-heidelberg.de/ti/DCS-Board/current/datasheets/ethernet/LXT971A.pdf>.