

# 嵌入式存储系统的仿真及实现

张 钦<sup>1,2</sup>, 韩冀中<sup>1</sup>

(1. 中国科学院计算技术研究所, 北京 100080; 2. 中国科学院研究生院, 北京 100039)

**摘要:** 嵌入式环境中存储需求在不断地增长, 越来越多的嵌入式系统采用高速存储单元支持系统运行以及大规模的数据存储。随着嵌入式存储系统的速度和容量的扩展, 如何设计高速的存储系统成为需要研究的问题。该文从信号完整性的角度, 以一种海量 DDR 存储系统设计为实例, 利用信号完整性仿真方法, 分析和探讨了适当的信号线终结方式和布线规则对信号完整性的影响。该方法适用于不同容量的高速存储系统设计和高速 DDR2 存储系统, 实际应用表明了该方法具有良好的效果。

**关键词:** 信号完整性仿真; 片上可编程系统; 存储系统; DDR

## Simulation and Implementation of Embedded Memory System

ZHANG Qin<sup>1,2</sup>, HAN Jizhong<sup>1</sup>

(1. Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100080;

2. School of Graduate, Chinese Academy of Sciences, Beijing 100039)

**【Abstract】** In the embedded environment, demand of memory system is gradually increasing. More and more embedded systems adopt a high speed memory system to support the systems' running and store a large number of data. As the speed and the volume of a memory system are extending, how to design a high speed memory system has become a problem which should be researched on. This paper uses a large amount of the DDR memory system design as an example to focus on the signal integrity problem. Using signal integrity simulation method, this paper analyzes and discusses how the proper signal termination modes and signal routing rules affect signal integrity. The method can be efficiently used in many different volumes of high speed memory system design, also in the latest DDR2 memory system design. With the method, implementation of the memory system gains a good result.

**【Key words】** Signal integrity simulation; system on a programmable chip(SoPC); Memory system; DDR

### 1 概述

在大多数嵌入式应用中, 通常采用片上可编程系统(system on a programmable chip, SoPC)技术进行设计, 用现场可编程门阵列(FPGA)作为可编程器件实现。随着 FPGA 规模的不断增加和成本的不断下降, 百万门以上的 FPGA 已经被广泛应用于工业控制、信息家电等各种领域。

随着时钟频率的提高, 信号完整性成为高速存储系统设计时必须考虑的问题。良好的信号完整性是达到高速的必要条件。元器件和PCB(printed circuit board)的参数、元器件在PCB上的布局、高速信号的布线等因素, 都会引起信号完整性问题, 导致系统工作不稳定, 甚至完全不能工作<sup>[1]</sup>。

存储系统的搭建可以采用颗粒或者 DIMM 条的方式。颗粒的方式相对灵活, 存储系统容量可定制, 布局灵活。当对存储系统的操作有特殊需要时, 颗粒的方式可以达到 DIMM 条所不能达到的效果。由于 DDR 双沿触发的特点, 因此数据速率提高为普通 SDRAM 的两倍, 最高频率达 200MHz, 目前被广泛使用。

本文采用信号完整性仿真方法, 选用合适的仿真模型, 基于 SoPC 技术进行存储系统的仿真及实现, 在板级很好地解决了信号完整性问题, 在 FPGA 内部采用自行编写的 DDR 控制器进行了测试。大容量存储系统设计中信号完整性问题较突出, 本文根据这一特点进行设计。

DDR 是 SSTL2 电平标准, 通常使用终结的方式满足信号完整性的需求。本文通过仿真, 采用一种简单的终结方式,

使用较少的终结电阻, 并对 DDR 存储系统的布线规则进行了研究, 减少了板级布线的复杂度, 得到了较好的信号完整性。

### 2 信号完整性相关问题

#### 2.1 信号完整性介绍

信号完整性(signal integrity, SI)是指信号在电路中以正确的时序和电压作出响应的能力<sup>[1,2]</sup>。如果电路中信号能够以要求的时序、持续时间和电压幅度到达器件, 则该电路具有较好的信号完整性。反之, 当信号不能正确响应, 就出现了信号完整性问题。一般来说, SI主要表现为 5 个方面:

- (1) 延迟: 信号从发送端以有限的速度到达接收端, 其间存在一定的传输延迟。
- (2) 反射: 由导线的特性阻抗与负载阻抗不匹配造成。
- (3) 串扰: 由于互容互感的作用, 器件或导线上信号的变化会影响邻近器件或者导线。
- (4) 同步切换噪声: 由众多数字信号同步切换造成。
- (5) 电磁兼容性。

在高速数字设计时需要充分考虑 SI 问题, 使设计的电路板能够达到预期的速度要求。本文采用仿真的方法来解决 SI

**基金项目:** 国家“973”计划基金资助项目(2004CB318202); 中科院计算所知识创新科研基金资助项目(20056210); 国家自然科学基金资助项目(60303017)

**作者简介:** 张 钦(1983 -), 男, 博士生, 主研方向: 计算机体系结构, VLSI 设计; 韩冀中, 副研究员

**收稿日期:** 2006-08-01 **E-mail:** zhangqin@ict.ac.cn

问题。

## 2.2 信号完整性模型介绍

在电子设计中，最常见的PCB信号完整性分析模型有以下3种<sup>[3]</sup>：

(1)SPICE 模型：分为用于芯片设计的 HSPICE、用于 PCB 板级和系统级设计的 PSPICE。由于采用了模型方程式，具有很好的分析结果，模型参数涉及设计者和制造商的知识产权，较难获得，PSPICE 模型仿真计算量较大、分析费时，因此，应用并不广泛。

(2)IBIS 模型：采用 I/V 和 V/T 表的形式描述芯片 I/O 和引脚特性。由于仿真采用查表的方式，减小了计算量，因此得到很多制造商的支持，受到应用的广泛。

(3)Verilog-AMS 和 VHDL-AMS 模型：使用 AMS 语言编写描述器件行为的方程式，目前应用并不广泛。

考虑到 IBIS 模型易获得、计算量小、精度高等优点，本文将它作为 SI 分析模型。

## 2.3 信号完整性仿真方法

不同于传统的数字电路设计，高速数字设计采用计算机仿真方法，对信号完整性进行仿真，在制作电路板前对可能出现的信号完整性问题进行预判，提高了成品率，节省了开发成本，缩短了开发周期<sup>[3]</sup>。高速数字设计流程如图 1 所示。

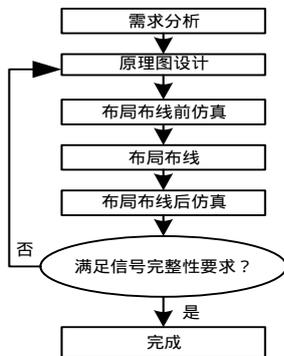


图 1 高速数字设计流程

SI 仿真通常分为布局布线前仿真(Pre-Layout)和布局布线后仿真(Post-Layout)。前仿真对布局布线和电路板设计提供一些初步的仿真依据。后仿真则是对布局布线后，即将交付制造的 PCB 板进行仿真，仿真结果和实际的 PCB 板情况更加接近。本文的仿真结果均为布局布线后仿真。

## 3 DDR 存储系统仿真

### 3.1 仿真软件介绍

Cadence公司提供了一整套易用、功能强大的PCB设计开发工具。其中，Capture完成原理图设计；Allegro完成PCB布局布线；SigXplorer提供强大的信号完整性仿真功能；在布局布线过程中随时提取网络拓扑进行仿真，能够在给出指定频率激励下，发送接收端的波形，及时纠正布局布线、分离元件的使用对SI的影响，方便了SI分析<sup>[3]</sup>。

### 3.2 DDR 存储系统介绍

实验室自行研制的 SoPC 板采用位宽 8bits，容量 512Mbits，最高频率 200MHz，DDR 颗粒构建存储系统。存储系统总位宽 64bits，总大小 1GB，位于 SoPC 板正反两面，每面各 8 个颗粒，正面编号为 D1-D8；反面编号为 D9-D16；D9 在 D1 的反面，D16 在 D8 的反面。

DDR 正常工作电压为 2.5V，为了高速，实际设计中采用 2.6V 供电；电平标准为 SSTL2，包括 SSTL2\_I 和 SSTL2\_II，它们在驱动能力上存在一些差异。

表 1 中信号<sup>[4]</sup>与FPGA的可用I/O相接，由FPGA内部的

DDR控制器控制。CK\_FeedBack为时钟反馈，作为FPGA内部DDR控制器的时钟输入。

表 1 DDR SDRAM 颗粒信号

信号类型	符号表示
时钟信号	CK、/CK(差分时钟)
控制信号	CKE、/CS、BA[0:1]、A[0:12]、 /RAS、/CAS、/WE、DM
数据使能	DQS
数据	DQ[0:7]
时钟反馈	CK_FeedBack

表 1 将信号分为两类：(1)单向信号，包括时钟、控制和时钟反馈；(2)双向信号，包括数据使能和数据。根据信号翻转快慢，将信号分为高频，中频和低频信号。CKE 属于低频信号。CK、/CK、DQS、DQ 属于高频信号。BA、A、/RAS、/CAS、/WE、/CS、DM 属于中频信号。本文把高频和中频信号称为关键信号，须要保证其良好的信号完整性。

### 3.3 关键信号仿真

#### 3.3.1 关键信号策略

当 DDR 工作在 166MHz~200MHz 高频时，为了减少信号由高变低或者由低变高的时间，让信号变化沿变陡，通常采用并行终结的方式，将信号线拉至一定的电压 VTT。为了防止由于反射带来的信号畸变、过冲、单调性等信号完整性问题，因此通常采用串行终结的方式，让传输线阻抗和负载阻抗相匹配，尽量消除反射带来的影响。图 2 显示了单向信号串行及并行终结方式。

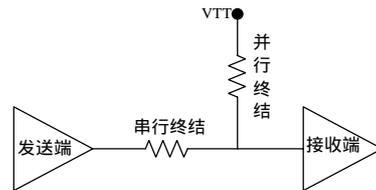


图 2 单向信号串行及并行终结方式

对于双向信号，原则上需要在信号线的两端分别添加串行和并行终结电阻。

采用如图 3 所示的终结方式，对电路板设计在空间上带来很大压力。为了简化设计，对于双向信号线，采用和单向信号线同样的终结方式。

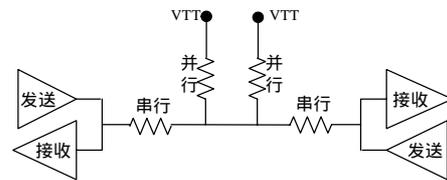


图 3 双向信号串行及并行终结方式

在本文中，对于单向信号线，串行终结靠近 FPGA 发送端，并行终结靠近 DDR 接收端。单向信号线的负载较多，并行终结应当放在多个负载的对称中间位置附近。

对于双向信号线，采用一个串行终结和一个并行终结，串行终结靠近 FPGA 端，并行终结靠近 DDR 端。

通过仿真可以发现，采用简化的终结方式处理，减少了一个串行和并行终结电阻，信号完整性良好。

#### 3.3.2 仿真过程及结果

如图 4 所示，DDR 读周期时，DQS 边缘对齐 DQ；DDR 写周期时，DQS 中央对齐 DQ。当时钟为 200MHz 时，DQS 和 DQ 的峰值频率也为 200MHz；DQS 和 DQ 的信号完整性

对于 DDR 的最终性能十分重要。

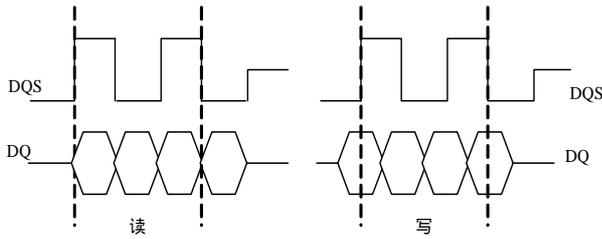


图 4 DDR读写周期，DQS和DQ的波形

下面以双向信号线 DQ 为例，采用简化的终结方式，利用 SigXplorer 软件对信号完整性进行仿真分析。

根据电路板的制作参数，在 Allegro 中对 PCB 板参数进行设置。本 SoPC 板 16 层，板厚 2.03mm，特性阻抗 50。为器件指定相应的仿真模型，包括 FPGA，DDR 颗粒和用于终结的阻排及电阻。对于双向信号，仿真通过两步完成：

(1)FPGA 作为发送端，DDR 作为接收端。在 U1(FPGA)端用 200MHz(软件中需设置为 400)的方波作为激励，得到如图 5 所示的发送端波形和如图 6 所示的接收端波形。

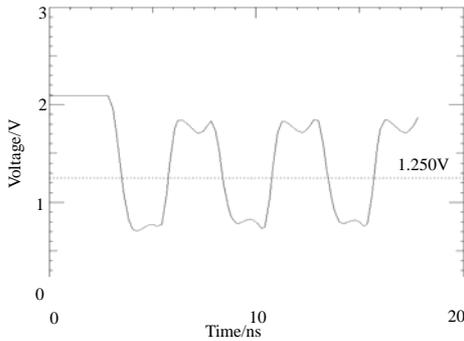


图 5 FPGA 发送端波形

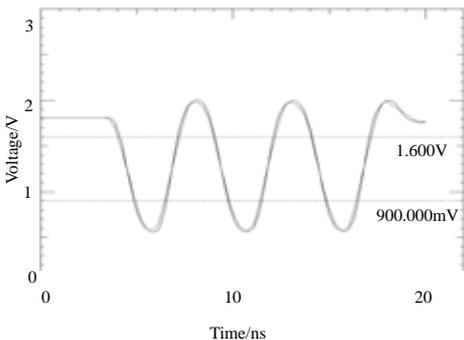


图 6 DDR(D1,D9)接收端波形

(2)DDR 作为发送端，FPGA 作为接收端。分别在 DDR(D1，D9)端用 200MHz(软件中需设置为 400)的方波作为激励，得到如图 7、图 8 所示的 FPGA 接收端波形。

由于电路板自身参数影响，因此采用不同阻值的终结电阻会对信号完整性会有较大影响。采用不同阻值的终结电阻进行仿真对比发现，当采用 25 的串行终结电阻和 50 的并行终结电阻时，得到了如图 5~图 8 所示的良好的信号完整性波形。

从仿真波形可以看出，采用简化的终结方式，对于双向信号，无论哪边作为接收端，都可以得到良好的信号完整性。单向信号采用同样的方式仿真，信号完整性同样良好。

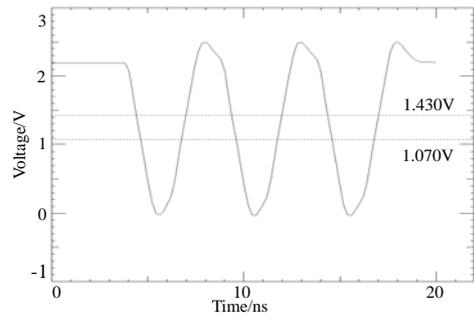


图 7 DDR(D1)发送时 FPGA 端接收波形

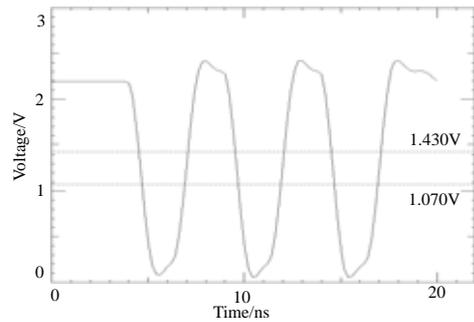


图 8 DDR(D9)发送时 FPGA 端接收波形

#### 4 布线规则研究

如图 4 所示，为了保证时序关系，布线时使 FPGA 到每个颗粒 DQ 和 DQS 等长。

控制信号线不具有 DQ 和 DQS 的高频，但具有 16 个颗粒较大的负载。为了达到良好的信号完整性，其布线规则十分重要。

如果采用菊花链方式驱动控制信号线，极不平衡的负载，导致信号完整性并不理想。如果采用星型连接，保证到各个颗粒的长度等长，平衡的负载可以保证很好的信号完整性，但板级布线压力极大。通过仿真试验，在使负载平衡以达到较好的信号完整性和降低布线难度两方面折衷，得到较好的布线规则，图 9 省略了反面颗粒的编号。

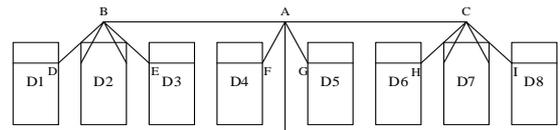


图 9 控制信号线布线规则

以地址线 A0 为例说明布线规则，即：

- (1)FPGA 端引出，A 点左右分叉，到达 B 和 C。
- (2)B 点，左右分叉到达 D 和 E(D 和 E 为颗粒 A0 引脚)。
- (3)B 点，连接 D2 和 D10(D2 反面)的 A0 引脚。
- (4)D 点，直接连接对面颗粒 A0 引脚。
- (5)E 点，直接连接对面颗粒 A0 引脚。
- (6)A 点连接 F 点(F 点为颗粒 A0 引脚)，然后直接连接对面颗粒 A0 引脚。保证 A 到 F 的距离和 A 到 D 的距离相差 7.6mm 以内。
- (7)A 点右侧布线规则与左侧对称。

如图 9 所示，在实际布线时，A、B、C 与 D、E、F、G、H、I 基本在一条直线上。该布线规则在 4 层内即可很好地完成布线，不增加板层数压力。

对 A0 信号线进行仿真。在 U1(FPGA)端用 100MHz(软件中需设置为 200；DDR400 时，控制线最高到 100MHz)的方波作为激励，得到 DDR 接收端波形(图 10)，可以看出具有良好的信号完整性。

(下转第 236 页)