

# 基于 Q-Coder 算术编码器的 IP 核设计

毛文娟, 王建立, 张孝三

(上海工程技术大学高职学院, 上海 200437)

**摘 要:** 设计了一种实现算术编码的集成电路 IP 核, 可用于下一代静止图像压缩标准 JPEG2000 编码系统中。采取易于硬件实现的二进制算术编码算法, 分析了该 IP 核的各个模块和时序, 在 ModelSim 软件中进行了功能仿真, 在 Quartus 软件中完成了综合以及布局布线, 并在自行设计的一块 FPGA 的 PCI 开发板上进行了验证和性能分析。实验结果表明, 对相同的图像进行编码, 该 IP 核的处理时间仅为软件处理时间的 41%。该文的研究对于 JPEG2000 在实际中的应用有着重要的意义。

**关键词:** 算术编码; 现场可编程门阵列; 大概率符号; 小概率符号

## IP Core Design Based on Q-Coder Arithmetic Coding Algorithm

MAO Wenjuan, WANG Jianli, ZHANG Xiaosan

(Vocational Technical College, Shanghai University of Engineering Science, Shanghai 200437)

**【Abstract】** An circuit IP performing arithmetic coding is designed to be implemented in JPEG2000, which is the newly developed still image processing standard. A binary arithmetic coding algorithm, which is easy to be implemented in hardware is used. The module structure and time sequence of the IP core are described. Function verification is carried out with Model-sim, synthesis and routing are conducted with Quartus II. The design is verified on a PCI-based FPGA development board. With the same inputs, the outputs show that the hardware arithmetic encoder designed by this paper can perform its computation in approximately 40% of the time taken by the arithmetic coding module in the Jasper software. The research of the thesis makes it possible for JPEG2000 to be used in reality.

**【Key words】** Arithmetic coding; FPGA; More probable symbol (MPS); Less probable symbol (LPS)

### 1 概述

JPEG2000<sup>[1,2]</sup>是新的静止图像压缩标准, 它具有的多种特性使得它有着广泛的应用前景。目前为止, JPEG2000 的解决方案比较少, 并且其中的绝大部分是软件解决方案: Jasper<sup>[3]</sup>软件是经 IEC JTC1/SC29/WG1 小组推荐使用的实现 JPEG2000 的为数不多的软件之一。

由于软件实现 JPEG2000 的时间开销比较大, 因此, JPEG2000 编码系统很难应用于实际系统中, 硬件解决方案由于处理速度大大提高, 因而用硬件实现 JPEG2000 具有广泛的市场前景。但是, JPEG2000 算法复杂, 完全用硬件实现比较困难; 然而使用硬件实现 JPEG2000 中的某些模块, 相对而言就比较容易实现, 同时也能大大提高编码效率。

图 1 为 JPEG2000 的几个基本模块。文献[4]指出, 软件处理中, 图 1 中的算术编码模块的时间开销占据了整个软件时间开销的 40% 左右, 若使用硬件实现算术编码模块必然能大大提高编码速度, 对于提高 JPEG2000 的编码速度有着重要的意义。

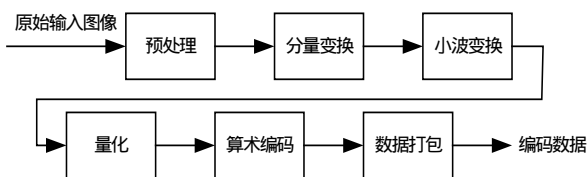


图 1 JPEG2000 基本模块

### 2 Q-coder 算术编码器原理

Q-coder 算术编码是一种特殊的高效自适应二进制算术

编码器。其输入是成对待编码数据 D(DATA) 以及上下文 CX(CONTEXT), 数据 D 和上下文 CX 是由比特平台 (bit plane)<sup>[1]</sup> 产生的; 输出则是压缩数据 CD(COMPRESSED DATA)。在 JPEG2000 中, 上下文指 D 周围 8 个相邻比特的状态, 这些状态被特定的规则划分为 19 类, 称为 19 种上下文。每种上下文都包含两部分内容, 一部分选择了对数据 D 编码时使用的概率估计值对应的索引, 另一部分决定了当前大率符号所代表的符号, 这两部分内容将在编码后被更新。

#### 2.1 区间的递归划分

概率区间的递归划分是二进制算术编码的基础。每执行一次二元判定, 当前概率区间就被划分成为两个子区间, 并在必要的时候修改输出码流, 使之指向该符号所在的概率子区间的下界。

在区间划分时, 小概率符号的子区间和大率符号的子区间这样排序: 通常取靠近 0 的区间作为 MPS 的子区间, 因此, 若编码的是 MPS, 则应向输出码流中加入 LPS 子区间的长度。这种约定要求把编码的符号区别为 LPS 或 MPS, 而不是 0 或者 1。因此在对一次二元判定编码时, 必须知道该判定的 LPS 子区间的长度和 MPS 的含义。

#### 2.2 编码约定和近似计算

Q-coder 算术编码器设置两个寄存器: 一个是概率区间宽度寄存器 A, 用于存放子区间的宽度, 另一个是码字寄存器

**基金项目:** 上海工程技术大学青年科学基金资助项目(2004Q17)

**作者简介:** 毛文娟(1977 -), 女, 助教, 主研方向: 图像处理的硬件实现; 王建立, 副教授; 张孝三, 高级讲师

**收稿日期:** 2006-01-29 **E-mail:** wenjuanmao@hotmail.com

C, 用来表示概率区间的下限。编码过程使用固定精度的整数运算和小数的整型表示形式, 即  $X'8000'$  代表十进制小数 0.75。概率区间 A 的范围是  $0.75 \leq A < 1.5$ , 并且当 A 的整型值小于  $X'8000'$  时, 把 A 翻倍, 即把 A 限制在十进制范围 0.75~1.5 之间, 这个“翻倍”过程称为重整化。当 A 进行重整化时, C 也必须同时翻倍。为了防止寄存器 C 发生上溢, 每隔一段时间, 应将寄存器 C 的高位部分移出并送至另外的寄存器中。

将 A 限制在十进制范围 0.75~1.5 之间, 概率区间的划分可以使用简单的算术近似方法。如果 LPS 当前的概率估计值是  $Q_e$ , 则子区间的精确计算如下进行:

$$Q_e * A = \text{LPS 概率子区间}$$

$$A - (Q_e * A) = \text{MPS 概率子区间}$$

由于 A 的十进制值近似于 1, 因此可用下式作近似计算:

$$Q_e = \text{LPS 概率子区间}$$

$$A - Q_e = \text{MPS 概率子区间}$$

如果输入符号为 MPS, 那么编码器进行如下运算:

$$C \leftarrow C + Q_e$$

$$A \leftarrow A - Q_e$$

若输入符号为 LPS, 则 C 保持不变,  $Q_e \rightarrow A$ , 必要的时候需对 A、C 进行重整化。

### 3 算术编码器的实现

#### 3.1 算术编码流程

所有的设计都是用 Verilog 硬件描述语言编写的, 由上述描述可知, 算术编码器的输出不仅和当前状态有关, 而且和输入也相关, 所以本文选择 Mearly 有限状态机<sup>[5]</sup>来描述复杂的控制模块。整个设计的主有限状态机如图 2 所示。

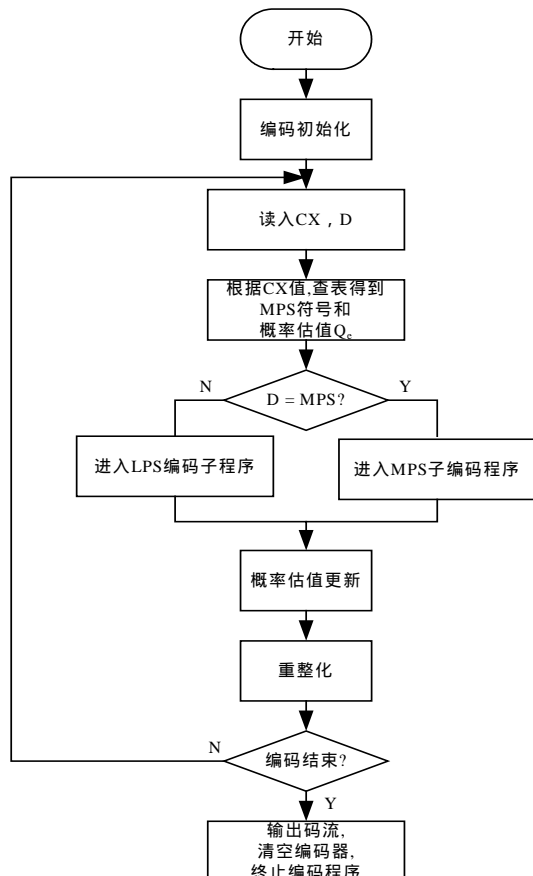


图2 算术编码主有限状态机

#### 3.2 模块设计

duram 是双口 sram 作为片内存储单元存储输入的数据, 当采用 FPGA 进行验证时, 直接调用 Altera 公司的宏功能块即可; ari\_core 是实现算术编码的运算处理单元, 包含一个存储概率估值和当前 MPS 符号的表以及 LPS 和 MPS 编码子程序; 模块 control 是数据流控制单元, 用于组织片内存储单元 duram 和运算处理单元 ari\_core 以及片外 sram 的数据交换。模块 control 是整个设计的控制单元, 负责调度以上各个模块, 产生控制和联络信号以及地址信号。模块结构原理如图 3 所示。

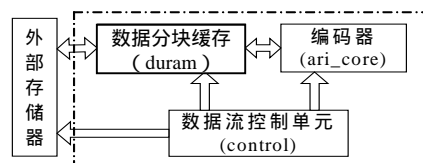


图3 模块结构原理

#### 3.3 电路验证

将布局布线后生成的文件下载到自行设计的一块FPGA的PCI开发板里进行验证, 如图 4 所示。板上是一片 Altera cyclone 系列 FPGA ep1c12qfp240, 该FPGA含有约 25 万逻辑门、30KB 内部RAM。PCI接口控制逻辑也是在FPGA中实现<sup>[6-8]</sup>, 然后编写PCI驱动程序和应用程序, 先由Jasper软件处理, 抽取软件中量化模块处理后的数据, 输入FPGA中进行处理, 再将数据返回给软件中的下一模块, 验证本文设计的算术编码IP核的正确性, 并计算处理时间。

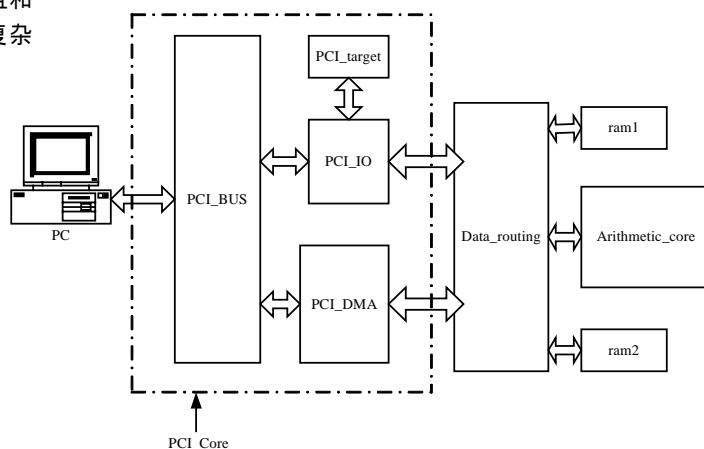


图4 算术编码硬件电路的PCI验证系统

### 4 实验结果与分析

(1) 将 Verilog 源程序在 Quartus 软件中综合后, 得到的参数如下:

- 1) 器件名称: EP20K200efc484-2x;
- 2) FPGA 时钟最高频率: 45.18MHz;
- 3) Total logic elements: 3660/8320 (44%).

(2) 功能验证。目前, 只有JBIG<sup>[8]</sup>标准中有验证算术编码器编码正确性的测试向量, 因此该测试向量被用以测试本文设计IP核的正确性。需要说明的是: JBIG标准中的算术编码器会产生“FF AC”标志位<sup>[8]</sup>, 而JPEG2000 中的MQ-Coder 算术编码器并不产生该标志位<sup>[1]</sup>。

将 JBIG 中的测试向量作为输入, 经过本文设计的算术编码 IP 核处理后的结果如图 5 所示, 由图 5 可知本文设计的算术编码 IP 核完全正确。

