

基于FPGA的 τ 因子内插滤波器设计与仿真

丁 红¹, 王庆东²

(1. 上海第二工业大学计算机与信息学院, 上海 201209;

2. 华中科技大学计算机科学与技术学院外存储系统国家专业实验室, 武汉 430074)

摘 要: 针对传统的由锁相环构成的伺服时钟恢复电路噪声干扰大、锁定时间长的问题, 在线性插值时钟恢复的基础上进行改进, 提出基于 τ 因子的内插时钟模型, 并推导出 τ 因子内插滤波器系数算法, 设计内插滤波器的FPGA实现方案并进行仿真。实验结果证明, 采用 τ 因子内插滤波器可以获得更好的谐波频谱, 解决了传统硬盘伺服时钟恢复电路的噪声问题。

关键词: 内插滤波器; 滤波系数算法; τ 因子; 谐波频谱

Design and Simulation of Interpolator of τ Factor Based on FPGA

DING Hong¹, WANG Qing-dong²

(1. Institute of Computer and Information, Shanghai Second Polytechnic University, Shanghai 201209;

2. National Storage System Laboratory, School of Computer Science & Technology,

Huazhong University of Science and Technology, Wuhan 430074)

【Abstract】 This paper proposes an interpolation timing recovery model based on τ factor on the basis of improvement in linear interpolation clock recovery model, because traditional servo phase-locked loop timing recovery circuit has the problem of noise interference and long time lock. It conducts the algorithm of interpolator coefficient based on τ factor, researches and simulates the implementation of interpolator by FPGA. Experimental results show that the interpolated timing recovery model based on τ factor can obtain better harmonic frequency and solves the noise problem of traditional harddisk servo timing recovery circuit.

【Key words】 interpolator; algorithm of interpolation coefficient; τ factor; harmonic frequency

1 概述

磁存储读写通道是介于硬盘读写头与设备控制器之间的电子电路, 设计高效合理的读写通道不仅可以提高存储密度, 还能提高数据的传输速率。信号的收发电路是读写通道上的关键模块, 传统的基于锁相环方式的时钟恢复电路存在锁定时间长、电路设计复杂及受噪声干扰影响大等缺点, 因此, 本文提出基于 τ 因子的插值时钟恢复改进模型, 并对内插滤波器的算法和实现进行了设计和仿真。该模型克服了噪声敏感问题, 同时减少了锁定时间。

2 时钟恢复模型

2.1 基于锁相环技术的时钟恢复模型

锁相环系统是一种闭环反馈系统, 传统读写通道时钟恢复模型都采用这种技术。一般锁相环都是非线性离散系统, 在本地时钟与输入参考时钟之间的频率接近且相位差很小的条件下进行, 此时环路的状态与线性模型的特征接近。在这里, 环路起到了一个滤除噪声的窄带滤波器的作用。

传统伺服信号时钟恢复模型如图1所示。该模型采用锁相环技术, 由锁相环电路的一些通用基本模块组成^[1-3], 如采样器(A/D)、相位错误检测器、频率/相位错误检测器、频率控制振荡器(VFO)、零相位起始控制等。目前大部分公司都采用锁相环技术方案: 同步时钟对通道模拟信号同步采样, VFO控制采样设备ADC转换器的采样时钟, 相位错误检测器产生相位误差, 环路滤波器产生采样时钟和波特率的频率偏置 Δf , Δf 调整采样时钟和波特率同步。

采用锁相环技术实现时钟恢复是目前通用的解决方案,

但存在一些问题, 同时受游长受限码(RLL)的 k 的长度限制, 一般 k 要小于8。下面采用内插时钟恢复模型加以改进, 克服了受噪声干扰大的问题, 同时使得RLL的 k 大于8。

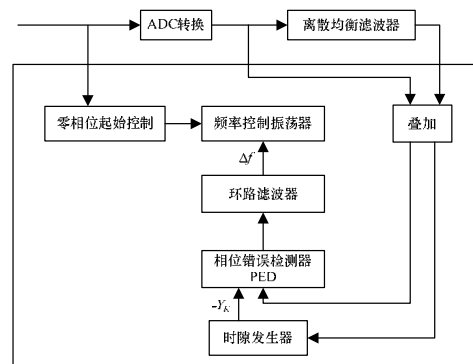


图1 传统伺服信号时钟恢复模型

2.2 基于 τ 因子的内插时钟恢复模型

基于 τ 因子的内插时钟恢复改进模型如图2所示, 模型包括以下模块: 内插滤波器, 模 T_s 累加器, 时隙发生器, 相位错误检测器, 频率合成器, 零相位起始控制。在改进模型中, 用内插滤波器和模 T_s 累加器代替传统模型中的频率控制振荡器, 频率偏置 Δf 通过模 T_s 累加器进行累加, 产生内插

基金项目: 国家自然科学基金资助项目(60303031)

作者简介: 丁 红(1975 -), 女, 讲师、硕士, 主研方向: 嵌入式应用, 网络存储; 王庆东, 博士后

收稿日期: 2010-02-07 **E-mail:** yvesding@163.com

时隙 τ ，通过 τ 可以估算内插器所需内插的采样值。相位误差检测器输入实际采样值 $Y_{k+\tau}$ ，同时计算电路捕获过程中的相位误差，在跟踪过程中多路选择器(叠加)则选择时隙器输出的估算采样值 $\bar{Y}_{k+\tau}$ 。相位误差检测器和时隙发生器生成内插采样值，环路滤波器控制闭环频率响应产生频率偏置信号 Δf 。

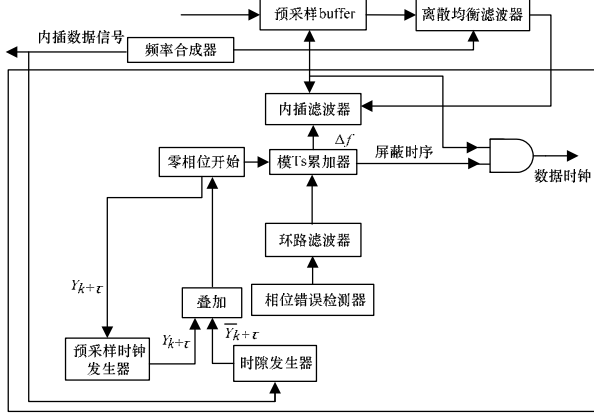


图2 基于 τ 因子的内插滤波器模型

2.3 内插滤波器的插值滤波系数算法

理想离散时间相位的插值滤波器是基于平滑响应及 τ 值延迟固定的假设，理想的冲击响应如下：

$$C_\tau(e^{j\omega}) = e^{j\omega\tau} \quad (1)$$

非关联无限冲击响应如下：

$$\sin c(\pi(n - \tau/T_s)) \quad (2)$$

由于式(2)是无法实现的，因此将插值滤波器的冲击响应设计成自适应理想冲击响应，这种方案改进了输入信号的频谱，即用输入信号频谱与实际插值频谱相乘积和输入信号频谱与理想插值频谱相乘积的最小均方根误差，如下：

$$\bar{C}_\tau(e^{j\omega})X(e^{j\omega}) - C_\tau(e^{j\omega})X(e^{j\omega}) \quad (3)$$

其中， $\bar{C}_\tau(e^{j\omega})$ 是实际插值滤波器的频谱； $X(e^{j\omega})$ 是输入信号的频谱。式(3)的均方根误差可表示为

$$E_\tau^2 = \frac{1}{2\pi} \int_{-\pi}^{\pi} |\bar{C}_\tau(e^{j\omega}) - e^{j\omega\tau}|^2 |X(e^{j\omega})|^2 d\omega \quad (4)$$

其中， $X(e^{j\omega})$ 是读通道(如 PR4, EPR4, EEP4)的部分响应频谱。在实际应用中，式(4)的均方根误差等式用限带输入信号频谱来代替，预先确定常数 $0 < \alpha < 1$ ，则可以得出：

$$|X(e^{j\omega})| = 0, |\omega| > \alpha\pi \quad (5)$$

则式(4)可以表示为

$$E_{\tau,\alpha}^2 = \frac{1}{2\pi} \int_{-\alpha\pi}^{\alpha\pi} |\bar{C}_\tau(e^{j\omega}) - e^{j\omega\tau}|^2 |X(e^{j\omega})|^2 d\omega \quad (6)$$

式(6)的解包括对实际插值滤波器的滤波系数的解。实际插值滤波器可以用有限脉冲响应多项式表示为

$$\bar{C}_\tau(e^{j\omega}) = \sum_{n=-R}^{n=R-1} C_\tau(n) e^{-j\omega n} \quad (7)$$

其中， R 是每个插值滤波器的抽头数的一半。采样时间 T_s 被规格化到 1，一个计算插值滤波系数值算法可以通过以下计算推导得出，式(7)带到式(6)中，可得到用 $C_\tau(n)$ 表示的等式：

$$E_{\tau,\alpha}^2 = \frac{1}{2\pi} \int_{-\alpha\pi}^{\alpha\pi} \left| \sum_{n=-R}^{n=R-1} C_\tau(n) e^{-j\omega n} - e^{j\omega\tau} \right|^2 |X(e^{j\omega})|^2 d\omega \quad (8)$$

通过式(8)派生出一个偏微分方程，并置为 0，如下：

$$\frac{\partial E_{\tau,\alpha}^2}{\partial C_\tau(n_0)} = 0, n_0 = -R, \dots, 0, 1, \dots, R-1 \quad (9)$$

通过计算由式(9)可导出：

$$\int_{-\alpha\pi}^{\alpha\pi} \left[\sum_{n=-R}^{n=R-1} C_\tau(n) \cos(\omega(n_0 - n)) \right] - \cos(\omega(n_0 + \tau)) \left| X(e^{j\omega}) \right|^2 d\omega = 0 \quad (10)$$

$$n_0 = -R, \dots, 0, 1, \dots, R-1$$

定义 $\phi(r)$ 为

$$\phi(r) = \int_{-\alpha\pi}^{\alpha\pi} |X(e^{j\omega})|^2 \cos(\omega r) d\omega \quad (11)$$

把式(11)带入式(10)可以得到：

$$\sum_{n=-R}^{n=R-1} C_\tau(n) \phi(n - n_0) = \phi(n_0 + \tau) \quad (12)$$

$$n_0 = -R, \dots, 0, 1, \dots, R-1$$

式(12)定义 $2R$ 线性等式，依据滤波系数 $C_\tau(n)$ 的设置，用如下矩阵表示：

$$\Phi_r C_\tau = \Phi_\tau \quad (13)$$

其中， C_τ 是一个向量结构：

$$C_\tau = [C_\tau(-R), \dots, C_\tau(0), \dots, C_\tau(R-1)]^T \quad (14)$$

Φ_r 是一个矩阵：

$$\Phi_r = \begin{bmatrix} \phi(0) & \phi(1) & \dots & \phi(2R-1) \\ \phi(1) & \phi(0) & \dots & \phi(2R-2) \\ \vdots & \vdots & & \vdots \\ \phi(2R-1) & \phi(2R-2) & \dots & \phi(0) \end{bmatrix} \quad (15)$$

Φ_τ 是一个如下式的矩阵：

$$\Phi_\tau = [\phi(-R+\tau), \dots, \phi(\tau), \phi(1+\tau), \dots, \phi(R+\tau)]^T \quad (16)$$

式(16)的解为

$$C_\tau = \Phi_r^{-1} \Phi_\tau \quad (17)$$

其中， Φ_r 为转置矩阵。

3 基于 FPGA 的 τ 因子内插滤波器的实现与仿真

3.1 设计与实现

τ 因子内插滤波器的硬件设计如图 3 所示。采用 FPGA 实现插值滤波器的基于 τ 因子插值滤波算法，SRAM 保存滤波系数，设计时分成 2 页，一页保存滤波系数，另一页存放插值结果。DSP 把滤波系数传入 SRAM 并把 FPGA 插值结果送入 SRAM。

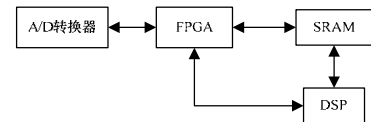


图3 τ 因子内插滤波器的硬件设计

本文的设计方案采用 ALTERA 公司的 FPGA 芯片 EP1K 30TC-144 及 MAXPLUSII 开发集成环境，采用 VHDL 语言^[4-5]。基于 τ 因子滤波系数实现的 6 抽头滤波器如图 4 所示。

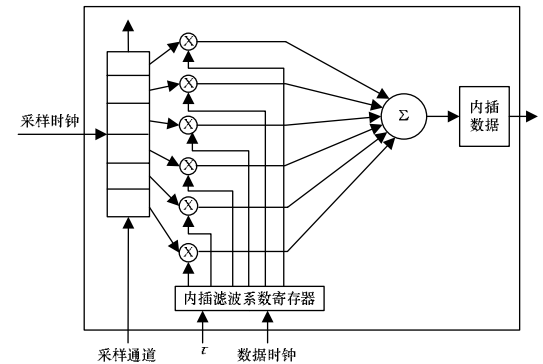


图4 基于 τ 因子滤波系数实现的 6 抽头滤波器

在对伺服信号进行采样后，放入移位寄存器，滤波系数

存放在系数寄存器中,将滤波系数和采样值相乘并进行累加,累加后的值放入内插寄存器 D 中。处理过程的第 1 步是 START,如果 START=0,就将系数下载到抽头延迟线上。否则就将数据下载到 X 寄存器中,第 2 步执行乘积和(SOP)的计算,对乘积 P(I)进行一位有符号扩展,并加到前面的部分乘积和上。输出 OUTDATA,即乘积和除以 256 的值。

3.2 内插滤波器的仿真

要仿真这一长度为 4 的滤波器,先由式(17)计算出滤波器系数 $G(z)$:

$$G(z) = \left((1+\sqrt{3}) + (3+\sqrt{3})z^1 + (3-\sqrt{3})z^2 + (1-\sqrt{3})z^3 \right) \frac{1}{4\sqrt{2}} = 0.483\ 01 + 0.836\ 5z^1 + 0.224\ 1z^2 - 0.129\ 4z^3 \quad (18)$$

将系数量化成 8 位(加上符号位)精度模式,结果如下:

$$G(z) = (124 + 214z^1 + 57z^2 - 33z^3) / 256 = \frac{124}{256} + \frac{214}{256}z^1 + \frac{57}{256}z^2 + \left(-\frac{33}{256}z^3 \right) \quad (19)$$

τ 因子内插滤波器的仿真如图 5 所示。

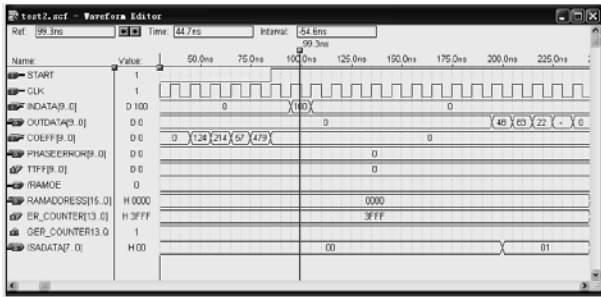


图 5 τ 因子内插滤波器的仿真

可以看出,在前面 4 个阶段,将系数 {124, 214, 57, -33} 下载到抽头延迟线,MaxPlusII 将 -33 显示成无符号数,即 $512-33=479$ 。接下来将 100 下载到寄存器中来核对滤波器的脉冲响应,首次有效输出出现在 450 ns 之后。

4 实验与分析

实验条件: $2R=6$, $\alpha=0.8$, $X(e^{j\omega})$ 为 PR4,用式(17)算出滤波系数。线性插值谐波频谱如表 1 所示。

表 1 线性插值谐波频谱

谐波次数	幅值/V	幅值误差/(%)	相位	相位误差/(%)
0	0.001 00	0.10	357.681	2.32
1	0.001 22	0.10	1.987	1.98
2	0.001 13	0.10	358.012	1.99
3	0.018 07	2.00	2.001	2.00
4	0.000 88	0.10	1.988	1.99
5	0.001 00	0.10	358.678	1.33
6	0.001 03	0.10	357.997	2.00
7	0.018 71	2.00	357.989	2.01
8	0.009 87	0.10	2.013	2.01
9	0.001 01	0.10	358.098	1.51
10	0.000 99	0.10	1.893	1.89
11	0.017 02	2.00	1.997	2.00
12	0.001 12	0.10	2.012	2.01
13	0.020 06	2.00	2.002	2.00
14	0.000 98	0.10	1.987	1.99
15	0.001 02	0.10	1.878	1.88

τ 因子插值谐波频谱如表 2 所示。

表 2 τ 因子插值谐波频谱

谐波次数	幅值/V	误差/(%)	相位	误差/(%)
0	0.001 00	0.10	0.040	0.04
1	0.001 22	0.10	0.043	0.04
2	0.001 13	0.10	0.035	0.04
3	0.007 99	0.80	359.971	0.03
4	0.000 88	0.10	0.022	0.02
5	0.001 00	0.10	359.980	0.02
6	0.001 03	0.10	0.037	0.04
7	0.007 85	0.80	359.961	0.04
8	0.009 87	0.10	359.977	0.03
9	0.001 01	0.10	0.051	0.05
10	0.000 99	0.10	359.946	0.05
11	0.008 23	0.80	0.064	0.03
12	0.001 12	0.10	0.032	0.03
13	0.008 11	0.80	0.041	0.04
14	0.000 98	0.10	359.948	0.05
15	0.001 02	0.10	359.976	0.02

通过比较可以看出, τ 因子内插滤波器的谐波频谱要优于线性插值谐波频谱。采用 τ 因子插值滤波器系数算法效果更好,在奇次谐波含量中 τ 因子插值的谐波含量不超过基波含量的 0.8%,线性插值的谐波含量将近达到基波含量的 2%。

5 结束语

本文改进了以往通过锁相环方式实现时钟恢复的方法,提出基于 τ 因子的内插伺服时钟恢复模型,能更好地解决时钟恢复电路对噪声的敏感度及来自电路的其他噪声。随着读写通道传输速率的不断提升,传输过程中的各种干扰也在不断加大,这制约了存储密度的提高。为了进一步推动存储系统的发展,今后还有许多工作要做,包括:进一步对内插时钟恢复进行研究,特别是对内插滤波器的改进,使内插值与实际值更贴近;进一步对伺服 burst 信号的计算加以改进,特别是对计算精度的改进;采样时钟的稳定性及精度也有待进一步提高。

参考文献

- [1] Shariatdoust R, Nagaraj K, Khoury J, et al. An Integrating Servo Demodulator for Hard Disk Drives[C]//Proc. of IEEE Custom Integrated Circuits Conference. San Diego, USA: [s. n.], 1993.
- [2] Sonntag J, Agazzi O, Aziz P, et al. A High Speed, Low Power PRML Read Channel Device[J]. IEEE Transactions on Magnetics, 1995, 31(2): 1186-1195.
- [3] Nagaraj K, Lewis S, Walden R. et al. A Median Peak Detecting Analog Signal Processor for Hard Disk Drive Servo[J]. IEEE Journal on Solid-State Circuits, 1995, 30(4): 461-470.
- [4] Annampedu V, Aziz P. Adaptive Algorithms for Asynchronous Detection of Coded Servo Signals Based on Interpolation[J]. IEEE Transactions on Magnetics, 2005, 41(10): 2890-2892.
- [5] Staszewski R, Muhammad K, Balsara P, et al. A 550 MSamples/s 8-tap FIR Digital Filter for Magnetic Recording Read Channels[J]. IEEE Journal of Solid-State Circuits, 2000, 35(8): 1205-1210.

编辑 顾姣健