

# 基于 FPGA 的高速数据采集系统设计与实现

邵 磊, 倪 明

(中国电子科技集团公司第三十二研究所, 上海 200233)

**摘 要:** 设计一种基于现场可编程门阵列(FPGA)的高速数据采集系统, 将 AT84AD001B 高速 A/D 转换器与 Stratix II 系列的 FPGA 作为数据采集和处理主体, 并在紧凑型外部设备互连系统平台上进行性能指标测试。结果表明, 该系统可实现采样率为 1 GS/s 的双通道和采样率为 2 GS/s 的单通道交替并行数据采集性能, 以及带宽达到 200 MHz、放大倍数达到 5 倍的前端模拟信号调理性能, 具有模块化、坚固性、可靠性和可扩展性等特点。

**关键词:** 现场可编程门阵列; 高速数据采集; 高速 A/D; 模拟信号调理

## Design and Implementation of High Speed Data Acquisition System Based on FPGA

SHAO Lei, NI Ming

(The 32nd Research Institute of China Electronics Technology Group Corporation, Shanghai 200233, China)

**【Abstract】** This paper designs a high speed data acquisition system based on Field Programmable Gate Array(FPGA). It makes AT84AD001B high-speed A/D converter and Stratix II series of FPGA as data collection and processing main body, and goes on performance index test on Compact Peripheral Component Interconnect(cPCI). Result shows that the sampling rate is 1 GS/s dual channel and sampling rate is 2 GS/s single channel alternate parallel data acquisition performance, front analog signal conditioning performance for 200 MHz bandwidth, 5 times magnification. It has the characteristics of modularization, sturdiness, high reliability and scalability.

**【Key words】** Field Programmable Gate Array(FPGA); high speed data acquisition; high speed A/D; analog signal conditioning

DOI: 10.3969/j.issn.1000-3428.2011.19.073

### 1 概述

随着信息化时代的到来, 综合电子信息系统对高速宽带信号的采集、检测、捕获和实时处理分析、存储提出了很高的技术要求。在电子信息领域中, 通常要求可搜索的信号频带尽可能宽、动态范围尽可能大, 以便获取更多更精确的信息量。这就要求数据采集系统在采样率和模拟信号带宽等关键指标上达到更高水平, 以便满足电子信息系统的频率搜索范围要求<sup>[1]</sup>。

在国外, 美国的 Tektronix、Agilent、Leroy 等专业测试测量设备商目前已经开发出测量带宽高达千兆赫兹、采样率高达几十 GS/s 的高端示波器产品和相关技术, 但是这些测试测量领域的高端产品售价昂贵, 而且其技术和相关专利不对外开放。在带宽达到几百兆赫兹、采样率达到 GS/s 的中端产品和技术领域, 国外也只有美国的 National Semiconductor、MAXIM 等少数专业测量测试芯片商提供相关采集芯片, National Instrumentation 提供数据采集卡。

在国内, 高速数据采集与处理技术也受到相关研究机构和研究人员的高度重视。但目前测量带宽高达千兆赫兹, 采样率高达几十 GS/s 的高端产品和技术领域, 还没有一个自主研发产品。高端测试测量设备和技术完全依赖进口。在中高端测试测量产品和技术领域, 国内只有普源精电(RIGOL)开发出带宽达到 300 MHz、采样率达到 2 GS/s 的示波器产品 DS1000A<sup>[2]</sup>。但是因为体积、功耗、抗恶劣环境能力(如工作温度范围、强电磁辐射、振动、冲击)等原因无法作为标准模块集成到嵌入式计算平台中。

针对当前中高端数据采集领域的研究现状, 本文提出—

种针对嵌入式计算机平台的高速数据采集系统。该系统采用 Atmel 公司的 AT84AD001B 高速 A/D 转换器与 ALTERA 公司的 Stratix II 系列现场可编程门阵列(Field Programmable Gate Array, FPGA)作为数据采集和处理主体, 详细阐述了各硬件电路模块和软件系统的设计与实现。

### 2 高速数据采集系统总体方案及架构

#### 2.1 总体方案与系统架构

基于紧凑型外部设备互连(Compact Peripheral Component Interconnect, cPCI)标准的嵌入式高速数据采集系统主要包括高速数据采集模块、宽带模拟信号调理模块、嵌入式处理器模块、存储模块以及电源模块。

高速数据采集技术的研究涉及到高速信号完整性、数模混合电路设计、高速并行同步数据流时序、高速数据存储与处理、波形显示与控制等关键软硬件技术难题。本文针对计算平台的应用背景最终确定基于 cPCI 嵌入式计算平台的总体解决方案, 见图 1。总体方案由硬件系统方案和软件系统方案构成。其中, 硬件系统包括 cPCI 底板、基于 x86 架构的 CPU 模块、兼容 cPCI 标准的固态硬盘模块、兼容 cPCI 标准的高速数据采集模块、兼容 cPCI 标准的模拟信号调理模块以及兼容 cPCI 标准的电源模块, CPU 模块作为系统的主控模块与硬盘模块和高速数据采集模块之间通过 PCI 总线进行数据

**基金项目:** 国家部委基金资助项目

**作者简介:** 邵 磊(1984—), 男, 硕士研究生, 主研方向: 计算机系统结构, 嵌入式系统; 倪 明, 研究员

**收稿日期:** 2011-04-15 **E-mail:** sean66@163.com

传输; 软件系统主要包括高速数据采集模块驱动程序和波形显示与控制人机界面软件。

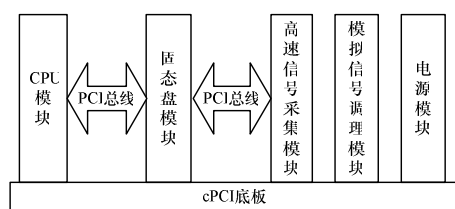


图 1 基于 cPCI 标准的高速数据采集平台

## 2.2 高速数据采集系统数据流

系统数据流为: 模拟信号首先进入模拟信号调理电路进行模拟信号预处理(如放大、滤波等), 经处理的模拟信号进入高速数据采集模块后被转换成代表模拟信号样点的高速数字信号; 高速数字信号再进入 FPGA 进行样点数据处理, 经 FPGA 处理的样点数据由 CPU 和 DMA(Direct Memory Access)引擎通过 PCI 总线读入内存进行存储、显示等后端处理。

## 3 详细设计与实现

### 3.1 数据采集硬件模块设计

基于 FPGA 的高速数据采集平台的硬件系统由 cPCI 底板、基于 cPCI 标准的 CPU 模块、固态硬盘模块、高速数据采集模块、模拟信号调理模块和 cPCI 标准电源模块构成。在机箱结构、模块结构、电源、总线接口和系统管理方面完全兼容 cPCI 标准, 具有模块化、坚固性、高可靠性和可扩展性等特点。本文研究重点是兼容 cPCI 标准的高速数据采集和模拟信号调理 2 个模块的设计与实现。高速数据采集模块(见图 2)采用高速 A/D 转换器、大规模 FPGA 以及高速局部总线-PCI 桥的硬件架构。采集模块通过标准 cPCI 总线与数据采集系统的后端数字信号处理主机(即 CPU 模块)连接, 通过两路模拟信号通道接口以及控制总线与前端模拟信号调理模块连接。

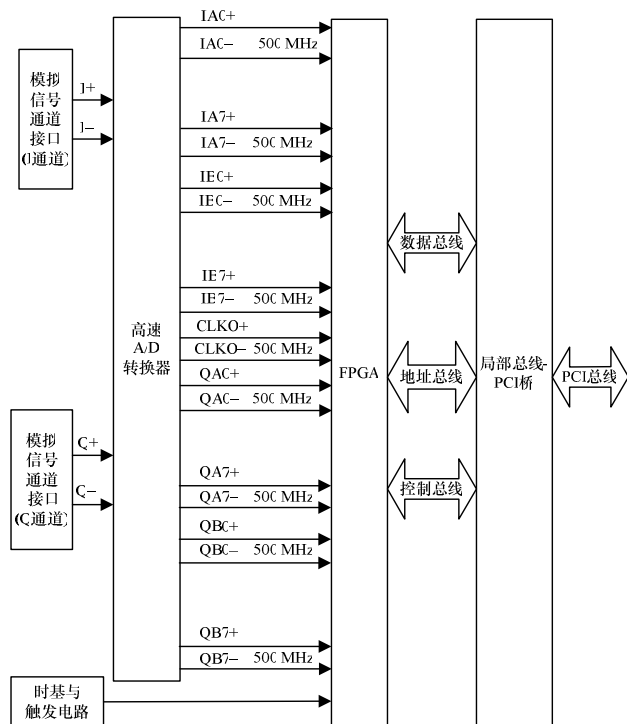


图 2 基于 cPCI 标准的高速数据采集模块

模拟信号调理模块集成多路增益可编程的模拟信号调理通道和一路控制总线通道。后端数字信号处理主机(即 CPU

模块)通过 cPCI 总线将控制命令发给高速数据采集模块, 采集模块通过解析将命令通过控制总线转发给前端模拟信号调理模块, 从而达到数据采集系统主机对模拟前端电路参数的控制和校准的目的。这种通过主机对前端模拟信号调理模块的动态配置, 不仅提高了可测量模拟信号的动态范围, 还方便了模拟调理电路参数(如增益、带宽、直流偏置)校准。

整个数据采集系统有 2 个通道, 每个通道的模拟信号经过前端调理后由高速 A/D 按 1 GS/s 时钟频率进行采样。采样过程为: 模拟信号首先被转换成 1 GHz 的 8 bit 高速数字信号, 8 bit 的高速数字信号在高速 A/D 转换器内部被两分频为 16 路的 500 MHz 高速同步并行数据流进入 FPGA, 高速并行数据流在 FPGA 内部经过进一步串行转并行处理、排序后缓存在 FPGA 内部的先入先出(First In First Out, FIFO)中。FIFO 控制器与局部总线(Local Bus)-PCI 桥连接, 由局部总线-PCI 桥将 FIFO 中的波形数据样点送至 cPCI 总线。

### 3.2 FPGA 逻辑设计

由于可编程器件 FPGA 的集成度和速度不断提高, 因此设计手段也更加灵活完善, FPGA 以其编程的灵活性被广为使用<sup>[3]</sup>。本文设计中 FPGA 选用 Altera 公司的 StratixII 系列器件, 该器件继承了 Altera 公司 Stratix 系列的共同优点, 由于引入了崭新的自适应逻辑模块(Adaptive Logic Module, ALM), 使得 StratixII 有更高的性能和逻辑封装、更少的逻辑和布线级数以及更强的 DSP 支持<sup>[4]</sup>。

本文设计中 FPGA 配置方面采用的是主动串行(Active Serial, AS)配置方式与 JTAG 方式相结合, 可以通过将 FPGA 芯片的 MSEL3、MSEL2、MSEL1 和 MSEL0 引脚驱动为高电平或低电平选择配置的方式。FPGA 在内部功能上, 主要根据具体设计方案而定, 由于该硬件平台设计考虑了系统的可扩展性, 从器件的选择上对系统的资源进行评估, 因此该设计选用的 FPGA 从功能设计上可选性较多、通用性较强, 基本上可以实现一般要求下的数字信号的预处理功能。

### 3.3 宽带模拟信号调理电路设计

模拟信号调理电路作为高速信号采集系统的模拟前端, 其带宽性能直接关系到整个高速信号采集系统的采集能力和可测量信号频率范围。为突破此项关键技术, 对宽带模拟信号放大电路方案, 模拟信号滤波、屏蔽、隔离以及接地方案, PCB 布局布线和阻抗匹配、阻抗变换方案进行设计和调试, 从而实现-3 dB 带宽 200 MHz、5 倍放大倍数的模拟信号调理电路指标。这一指标满足了大多数综合电子信息系统对前端模拟信号带宽的要求。

### 3.4 高速采集电路与高速数据流实时存储

高速信号采集电路与高速数据流实时存储技术是本项目核心部分。通过对高速 A/D 转换器芯片选型、高速电路信号完整性技术、FPGA 技术, 高速数据流降速及实时存储技术的研究, 最终确定高速 A/D 转换器加 FPGA 主处理器的实现方案。该方案实现了单通道 1 GS/s 采样率, 双通道 2 GS/s 采样率以及实时带宽高达 16 Gb/s 二进制编码同步并行数据流的捕获和实时存储。

### 3.5 宽带信号交替并行采集技术

交替并行采集技术是一项通过将 2 个相同采样率的采集通道以一定的时序合成一个双倍速采集通道的技术。在本文中, 通过对 A/D 转换器时序, FPGA 数据处理时序的深入研究, 实现 2 个 1 GS/s 采样率采集通道合成单个 2 GS/s 采样率通道的交替并行采集技术, 在不增加任何硬件成本的基础上

实现了采样率性能指标的加倍。

### 3.6 软件系统设计

嵌入式高速信号采集平台的软件系统主要包括驱动程序和波形显示与控制人机界面软件 2 个部分。驱动程序通过对高速信号采集模块硬件寄存器的访问控制底层的硬件操作(如 DMA 数据传输、中断请求等),并对上层应用程序提供软件访问接口。波形显示和控制软件运行于 Windows 操作系统之上,面向用户提供人机界面,同时通过驱动程序访问底层硬件设备。

## 4 系统调试及结果分析

系统化调试针对系统设计要求,对高速信号采集模块的功能和性能指标进行验证。根据采样定理,任何一个模拟信号经过 A/D 转换器(数据采集器)转换后在数字域以数字信号方式不失真地重现原始模拟信号波形,A/D 转换器(数据采集器)的采样频率必须大于等于该模拟信号最高频率分量的 2 倍。在实际中,实验证明当 A/D 转换器(数据采集器)的采样频率大于等于被采集模拟信号基波频率的 5 倍时,采集到的数字信号波形即可不失真地重现原始模拟信号波形。

系统软硬件模块的功能和性能指标在实验室环境条件下进行测试,使用 Agilent LXI33220A 标准信号源/Tektronix AFG3252 标准高速信号源。

实验测试软件环境包括:Windows 2000 操作系统;I/Q 双通道采集波形和人机界面控制软件——DataAquilG,见图 3,其中,输入的模拟信号为 20 MHz/100 mV 正弦波。

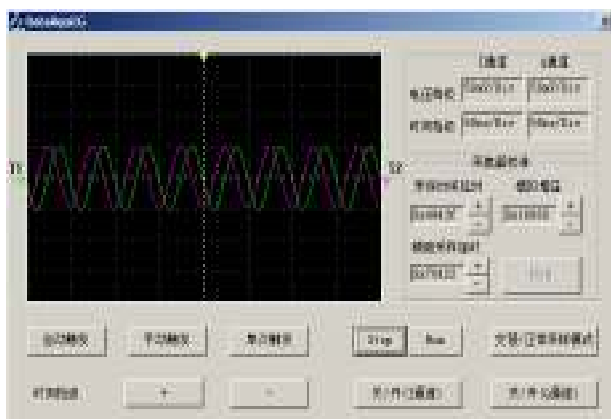


图3 I/Q 双通道采集波形及人机界面

通过实验测试得到波形图,可以看出基于 FPGA 的高速信号采集模块各项功能(单通道高速采集功能、双通道高速采集功能、交替并行采集功能、触发和波形显示控制功能)和性能指标(模拟信号带宽最高达到 200 MHz,采样率达到 1 GHz/2 GHz)均达到预期研究目标。

本文介绍的基于 FPGA 的嵌入式高速数据采集系统是针对嵌入式计算平台的模块化解决方案。该方案将前端模拟信号调理、高速信号采集以及后端数据处理与显示等数据采集系统的核心功能划分到 3 个标准 cPCI 模块中,从而使用户可以根据自己的应用需求(如模拟带宽、采样速率、后端数据处理性能等)选配不同型号的标准模块快速搭建最理想的高性价比、高定制化程度的高速数据采集系统。这种完全模块化的解决方案相比将模拟前端、高速数据采集以及后端数据处理集成于单个模块或设备的传统解决方案(如高速 A/D 转换器+FPGA+DSP 解决方案)在可扩展性、灵活性以及适应性等方面有较大优势。另外,本文提供的解决方案在硬件指标(如工作温度范围、振动、冲击、抗干扰)上满足嵌入式 cPCI 计算平台标准要求,而这一点也是当前很多 GS/s 高速数据采集模块及设备满足不了的。

## 5 结束语

本文介绍了一种针对嵌入式计算平台的高速数据采集系统的设计与实现,并对设计的高速数据采集模块进行实验验证。实验结果表明,该系统可在 GS/s 采样率下稳定可靠地进行高速数据采集。今后将对本文系统的采样率、高速数据缓存、主机总线接口等进行优化,还可以在波形显控软件中增加更多的高级数据处理功能(如傅里叶变换、插值算法等)。

## 参考文献

- [1] 汤少维. 基于 FPGA 控制的高速数据采集系统设计与实现[D]. 成都: 电子科技大学, 2007.
- [2] 张俊杰, 章凤麟, 叶家骏. 高速数据采集系统设计[J]. 计算机工程, 2009, 35(1): 207-209.
- [3] 李云. 超高速高精度并行 ADC 系统设计与实现[J]. 微计算机信息, 2008, 24(20): 307-309.
- [4] 刘延飞. 基于 Altera FPGA/CPLD 的电子系统设计与工程实践[M]. 北京: 人民邮电出版社, 2009.

编辑 陆燕菲

(上接第 214 页)

由实验结果可以看出,本文算法迭代一次的图像增强效果与 Pal-King 算法迭代 2 次的增强效果相当,迭代 2 次的图像增强效果也明显优于 Pal-King 算法。

## 6 结束语

Pal-King 算法存在隶属度函数复杂、模糊增强函数的增强效果速度慢以及渡越点难以设置等问题,本文由此对其进行改进,提出更简单的隶属度函数、更快的增强函数以及较好自适应阈值选择函数。实验结果证明,改进的算法无论是在公式复杂程度还是在图像增强速度、效果上都有明显提高,一般仅需迭代一、二次即可。对于前期的噪音处理,基于小波的图像增强算法明显优于传统算法<sup>[6]</sup>。本文算法的不足之处在于,自适应阈值是由公式选择的,并不能满足所有的主观需求,因此,解决这一问题将是下一步的研究课题。

## 参考文献

- [1] Pal S K, King R A. Image Enhancement Using Fuzzy Sets[J]. Electronics Letters, 1980, 16(9): 376-378.
- [2] 成曙, 董程林, 李伟, 等. X 射线图像增强方法[J]. 无损探伤, 2007, 31(5): 15-17.
- [3] 张炜. 一种改进的图像模糊增强算法[J]. 生命科学仪器, 2006, 4(6): 29-31.
- [4] 王晖, 张基宏. 图像边界检测的区域对比度模糊增强算法[J]. 电子学报, 2000, 28(1): 45-47.
- [5] 赵春燕, 郑永果, 王向葵. 基于直方图的图像模糊增强算法[J]. 计算机工程, 2005, 31(12): 185-186.
- [6] 孙秀明, 吴贵方, 徐金梧. 基于小波变换的带钢表面缺陷图像增强算法[J]. 计算机工程, 2009, 35(2): 227-229.

编辑 张帆



