

动态量化的 LDPC 译码器结构

沈 旭¹, 梁 伟¹, 李 婉², 叶 凡¹, 任俊彦¹

(1. 复旦大学专用集成电路与系统国家重点实验室, 上海 200433;

2. 南京邮电大学自动化学院, 南京 210046)

摘 要: 为降低低密度奇偶校验码(LDPC)译码器的复杂度, 提出动态量化的 LDPC 译码器结构。针对传统并行结构, 采用自适应动态量化算法、层调度策略以及最小和算法, 在译码的同时调整信息量化方式, 由此设计自适应估计电路, 并统计幅值过大的信息比例。实验结果表明, 该结构能以较小的性能损失降低 LDPC 译码器的复杂度。

关键词: LDPC 编码; 量化; 译码器; 层调度策略

LDPC Decoder Architecture with Dynamic Quantization

SHEN Xu¹, LIANG Wei¹, LI Wan², YE Fan¹, REN Jun-yan¹

(1. State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, China;

2. College of Automation, Nanjing University of Posts and Telecommunications, Nanjing 210046, China)

【Abstract】 Self-adaptive dynamic quantization algorithm combined with level scheduling policy and min sum algorithm can decrease the hardware complexity of Low Density Parity Check Codes(LDPC) decoders with little performance degradation. To fill an omission of decoders using this algorithm, this paper proposed a new architecture of LDPC decoders. It is based on the traditional partial-parallel architecture, but can change the quantization scheme of decoding information. It also concludes circuits used to static the percentage of the value of information closing to saturation, which helps to adjust the quantization scheme of information in a self-adaptive way. Experimental results show that, this architecture can greatly reduce the hardware complexity of LDPC decoders with little performance degradation.

【Key words】 Low Density Parity Check Codes(LDPC) coding; quantization; decoder; level schedule policy

DOI: 10.3969/j.issn.1000-3428.2011.21.079

1 概述

文献[1]提出关于低密度奇偶校验码(Low Density Parity Check Codes, LDPC)具有非常接近香农极限的优异性能, 还具有广泛的适应性, 可被应用于无线局域网(WLANs, IEEE 802.11n), 广域网(MANs, IEEE 802.16e)等。LDPC 码的译码算法可分为比特翻转(Bit-flipping, BF)算法^[2]和置信传播(Belief-propagation, BP)算法^[3]。BF 算法硬件实现方式简单, 但性能较弱, 难以发挥 LDPC 码的优点。BP 算法则具有较好的译码性能, 但需要处理、且存储大量信息, 这导致译码器复杂度较高, 故影响 LDPC 码的实际应用。归一化最小和(Normalized Min Sum, NMS)算法^[4]和层调度策略^[5]能有效地降低采用 BP 算法的译码器复杂度。在层调度策略结合 NMS 算法的基础上, 可以进一步地提出其自适应动态量化^[6](Self-adaptive Dynamic Quantization, SDQ)算法, 其能以很少的性能损失大幅降低译码器的复杂度。本文根据 SDQ 算法的特点, 提出相对应的译码器硬件结构。

2 动态量化的 TDMP-NMS 算法简介

2.1 TDMP-NMS 算法

LDPC 码是一种线性分组码, 其对应的校验矩阵 $H_{M \times N}$ 是个 M 行 N 列的稀疏矩阵。矩阵 H 的每行对应一个校验节点, 每列对应一个变量节点。变量节点和校验节点的关系可通过 Tanner 图^[7]表示。如果矩阵 H 中处于第 m 行、第 n 列的元素是 1, 那么 Tanner 图上, 第 m 个校验节点和第 n 个变量节点有边相连。信息在相连的节点之间传递, 并迭代更新。信息的迭代都基于对数域似然概率值(Log-likelihood Ratio,

LLR)。设 V_i 为变量节点 i 用于尝试判决的信息; r_i 为经过信道解调获得的 V_i 的初始值; j 为一个校验节点。如果 j 和 i 相连, 那么设 u_{ji} 为 j 传递给 i 的信息。设 v_{ij} 为 i 传递给 j 的信息; $\{j|j \in C_i\}$ 表示与 i 相邻的校验节点的集合; 上标 k 为当前迭代次数。

在层调度策略中, 变量节点 i 如果接收到集合 $\{u_{ji}|j \in C_i\}$ 中的某个 u_{ji} , 就采用下式完成 V_i , v_{ij} 的更新。

$$V_i^{(k)} = v_{ij}^{(k)} + u_{ji}^{(k)} \quad (1)$$

$$v_{ij}^{(k)} = V_i^{(k-1)} - u_{ji}^{(k-1)} \quad (2)$$

对于 u_{ji} 的更新则采用 NMS 算法。设 $i' \in C_{ji}$ 表示除了变量节点 i 以外, 其他与校验节点 j 相邻的变量节点。 u_{ji} 的更新方程如下式:

$$u_{ji}^{(k)} = \prod_{i' \in C_{ji}} \text{sign}(v_{ij'}^{(k-1)}) \cdot \alpha \cdot \text{Min}(|v_{ij'}^{(k-1)}|) \quad (3)$$

在式(3)中, α 是校正因子, 用来提高信息的准确性, 该值通常取 0.7~0.8 之间。设 c'_i 为变量节点 i 的判决码字。译码算法的尝试判决阶段如下式:

基金项目: 国家科技重大专项基金资助项目“载波体制超宽带高速无线通信芯片研发与应用示范”(2009ZX03006-007-01); 国家科技重大专项基金资助项目“超宽带设备的技术规范和性能评测”(2009ZX03006-009)

作者简介: 沈 旭(1985—), 男, 硕士研究生, 主研方向: 数字集成电路设计; 梁 伟, 硕士研究生; 李 婉, 本科生; 叶 凡, 讲师; 任俊彦, 教授

收稿日期: 2011-05-16 **E-mail:** 082021059@fudan.edu.cn

$$V_i^{(k)} = r_i + \sum_{j \in C_i} u_{ji}^{(k)} \quad c_i' = \begin{cases} 1 & \text{if } V_i < 0 \\ 0 & \text{else} \end{cases} \quad (4)$$

当所有的 v_{ij} 和 u_{ji} 都成功更新一次后, 才完成一次迭代。迭代终止条件为校验方程或最大迭代次数满足要求。

2.2 自适应动态量化 TDMP-NMS 算法

文献[8]算法在译码过程中信息幅值会不断增大, 当量化位宽有限时, 信息量化值会饱和。文献[6]提出了自适应动态量化的 TDMP-NMS 算法。该算法能通过不断扩大量化范围来避免饱和, 同时译码性能损失较小, 从而为大幅降低译码器复杂度提供了可能。

其自适应机制的主要内容是: 估计变量信息 V_i 接近量化饱和的数量, 当这一数量超过某一阈值时, 扩大信息量化范围。设 $IteMax$ 为最大迭代次数; 上标 k 为当前迭代次数; N_v 、 N_u 分别为变量节点和校验节点总数; β 为量化范围扩大倍数; l_v 为 $|V_i|$ 的量化范围的上限; P_v 为 $|V_i|$ 大于 $0.9l_v$ 的变量节点 i 的总数; η 为自适应动态量化方式中用于量化范围扩展的阈值。用于动态量化方式的改进 TDMP-NMS 算法伪代码如下:

//自适应动态量化方式

for k=1 to $IteMax$

//用标准 TDMP-NMS 算法完成一次迭代和尝试判决。

for i=1 to N_v

if $V_i(k) > 0.9l_v$

$P_v(k) = P_v(k) + 1$

end if

end for

if $P_v(k) > \eta N_v$

for i=1 to N_v

$V_i(k) = V_i(k) / \beta$

for $j \in C_i$

$u_{ji}(k) = u_{ji}(k) / \beta$

end for

end for

end if

end for

3 自适应动态量化 TDMP-NMS 算法的译码器

3.1 LDPC 译码器总体结构

本文 LDPC 译码器所对应的 LDPC 码由文献[9]给出, 这是一个码率 0.5, 码长为 1 024 bit 的 QC-LDPC 码^[9], 其校验矩阵的子矩阵大小为 96×96 。为了适应 QC-LDPC 码的规则性, 以部分并行结构^[10]为基础做改进, 该结构能以较高的吞吐率, 较低的复杂度实现 TDMP-NMS 算法功能。图 1 表示

LDPC 译码器的结构框图。

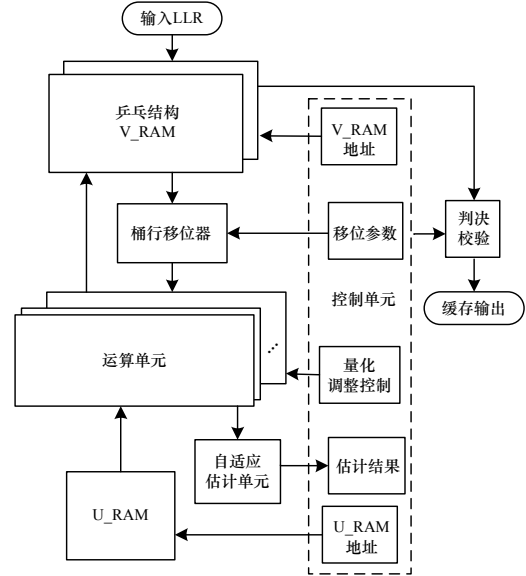


图 1 LDPC 译码器硬件结构

由图 1 知, 本文译码器包含自适应估计单元, 以实现动态量化。V_RAM 用于存储 V_i , 采用了乒乓结构以提高系统吞吐率。U_RAM 用于存储 u_{ji} 。运算单元从内存中读取所需数据, 计算并更新译码信息, 然后把更新后的信息写回内存。此外, 运算单元还负责改变信息的量化方式。由于 QC-LDPC 码的子矩阵为 96×96 , 因此需要 96 个运算单元并行工作。该运算单元还负责监测 V_i 是否饱和, 并把监测结果输出给自适应估计单元。自适应估计单元用于统计饱和的 V_i 的数量, 并把估计结果反馈给控制单元。如果饱和的 V_i 的数量大于某个阈值, 则以控制单元指示运算单元改变信息的量化方式。

3.2 运算单元

图 2 为运算单元的结构图。假设校验节点 j 的行重为 w , 则在传统部分并行译码器中, w 个 V_i 串行输入至该运算单元。经过一系列求最小值、求符号以及加减运算, 更新 V_i 和 u_{ij} 。为适应 SDQ 算法, 对运算单元做出如下调整, 分别在图 2 的虚线框内表示出。利用 2.2 节的方式, 可以通过乘以因子 β 实现信息量化。在图 2 中, 左边的虚线框图用于实现量化方式的调整, 使能信号由控制单元给出。右边的虚线框图用于检测更新后的 V_i 是否接近量化饱和(是则输出高电平), 并把检测结果输出给自适应估计单元。

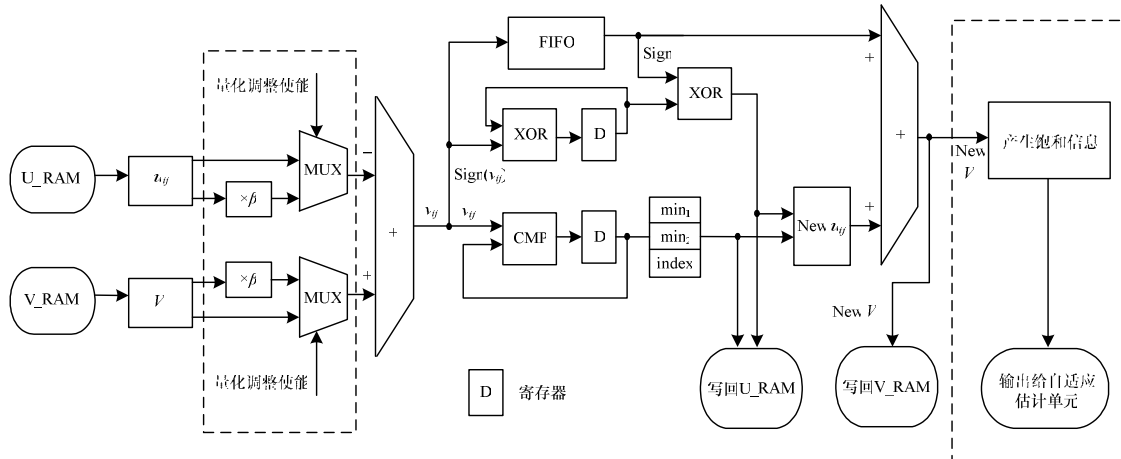


图 2 运算单元结构

3.3 自适应处理单元及控制单元

图 3 为自适应估计单元的结构框图,用于及时地统计接近量化饱和的 V_i 的数量。其需要同时接收 96 个运算单元传来的检测结果($I_0 \sim I_{95}$),并统计其中高电平信号的数量,这给电路实现带来了困难。为了简化电路逻辑并提升时序,把每 4 个输入信号归为一组,共计 24 组。每组输入信号统计其中高电平信号数量,获得 3 bit LSB 二进制结果 $A^x_0 \sim A^x_3$,其中,字母 A 的上标 $x(x=0,1,\cdots,23)$ 表示组的编号。这 24 个二进制数通过 4 级并行加法逻辑取和,最终获得计数结果,用 8 bit 二进制数 $E^0_0 \sim E^0_7$ 表示。由于部分并行结构中,运算单元每次只能输出一部分 V_i 的检测结果,因此需要多次统计取和,并存在寄存器 D 中输出给控制单元。

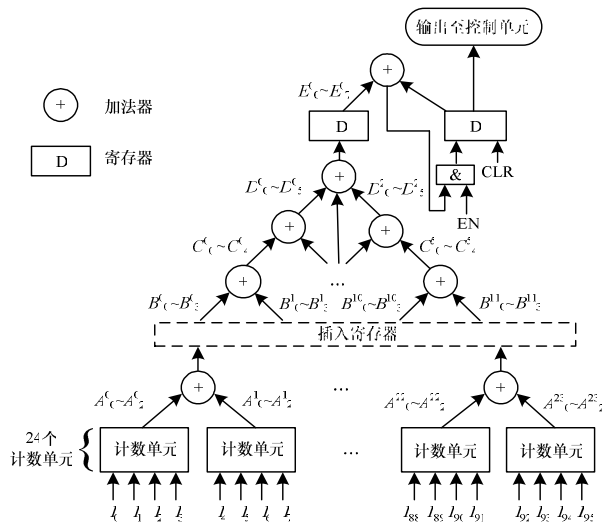


图 3 自适应估计单元结构

为了简化输入信号计数逻辑,给出了计数逻辑的一种简单的解决方案。另外,为了提升时序,还在其中插入一级寄存器实现流水线。该计数单元如图 4 所示。

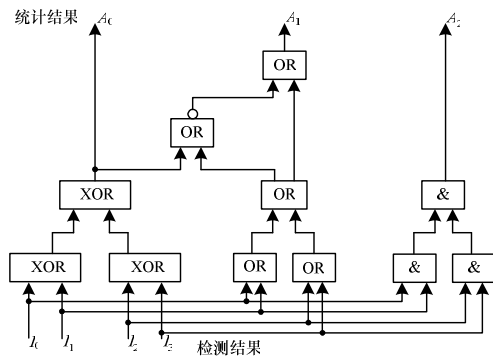


图 4 计数单元

控制单元接收自适应单元传来的统计结果,并与常数阈值相比较。如果超过阈值,则通知运算单元对信息进行量化方式的调整。因为在部分并行结构中, V_i 在一轮迭代中会被更新数次,而只有最后一次的结果才是有效统计数据的来源,所以控制单元还要根据校验矩阵结构判断数据是否有效,控制自适应单元工作与否。同样地,每一轮迭代中, V_i 只有在第 1 次更新前才可以执行量化方式改变,以避免重复调整量化方式。

4 实验结果与分析

本文设计的 LDPC 译码器采用 Verilog 进行 RTL 编码,基于 Xilinx Vertex5 FPGA(XC5VLX330),对本文第 3 节中所

述的硬件结构进行实验,结果如表 1 所示。

表 1 硬件结构实验结果对比

译码器结构	寄存器数	查找表数
传统半并行结构 $Q(8,6)$ 量化	10 660	21 894
本文结构 $Q(6,4)$ 量化	8 305	20 214

设 $Q(a, b)$ 表示译码器中 V_i 的量化位宽为 a bit; u_{ij} 的量化位宽为 b bit^[6],动态量化 TDMP-NMS 算法结合 $Q(6, 4)$ 的量化方式时,其误码率基本达到传统的 TDMP-NMS 算法结合 $Q(8, 6)$ 量化方式时的性能,仿真结果表明^[6]当误码率为 10^{-5} 时两者的性能差距小于 0.1 dB。与此同时,存储空间和运算逻辑能降低 20%。

对本文所提出的采用 $Q(6, 4)$ 量化方式的译码器进行 DC 综合,并与文献[9]中译码器做对比,结果如表 2 所示。可见,本文所提出的译码器不但能减少 20% 的面积,而且能提高系统吞吐率。这是因为简化的量化方式能降低布局布线难度,提高系统工作频率。

表 2 DC 综合结果对比

分类名称	文献[9]译码器	本文 $Q(6,4)$ 译码器
频率/MHz	100	140
面积/(mm ²)	10.12	8.23
等效门数	463 000	376 000
吞吐量/(Mb·s ⁻¹)	168	235
矩阵大小	96×96	96×96
工艺	180 nm, 1.8 V	180 nm, 1.8 V

LDPC 译码器的复杂度主要在于信息的存储、运算,虽然为了实现动态自适应功能稍微增加了一些硬件逻辑,但是由于信息量化位宽的减少,系统复杂度仍然大大降低。可见,本文所提出的硬件结构能大幅降低译码器的硬件开销。

5 结束语

本文提出对应自适应动态量化 TDMP-NMS 算法的硬件结构。该结构通过降低信息量化位宽来减少译码器复杂度,在传统部分并行结构的基础上,能在译码的同时调整信息量化方式。使用自适应估计单元统计幅值过大信息的数量,以实现量化的自适应调整方式。实验结果表明,该硬件结构能很好的实现算法功能,降低 LDPC 译码器复杂度。

参考文献

[1] Gallager R G. Low-density Parity-check Codes[M]. Cambridge, USA: MIT Press, 1963.

[2] Dong Guiqiang, Li Yanan. Candidate Bit Based Flipping Decoding Algorithm for LDPC Codes[C]//Proc. of Information Theory. Seoul, Korea: [s. n.], 2009.

[3] Arbor A. A Comparison Between the Sum-product and the Min-sum Iterative Detection Algorithm Based on Density Evolution[C]//Proc. of Global Telecom Conference. San Antonio, USA: [s. n.], 2001.

[4] 廖 薇, 刘锦高. 基于最小和的高效 LDPC 译码算法[J]. 计算机工程, 2009, 35(21): 1-3.

[5] Mansour M M. A Turbo-decoding Message-passing Algorithm for Sparse Parity-check Matrix Codes[J]. IEEE Transactions on Signal Processing, 2006, 54(11): 4376-4392.