

芯片级 BIST 控制器的设计与实现

孟 觉, 樊晓光, 邬 蒙, 夏海宝

(空军工程大学工程学院, 西安 710038)

摘 要: 为适应某型国产航电设备故障的实时自检测及定位需要, 设计一个针对自测试电路的芯片级 BIST 控制器。传统的测试方法存在测试时间长和故障覆盖率不高的缺点。为此, 采用伪随机测试向量和确定性测试向量相结合的混合 BIST 技术及多扫描链、压缩向量技术, 对芯片级 BIST 控制器进行研究, 给出功能模块的设计方案。利用 Quartus II 软件对设计进行仿真, 测试结果证实该设计可达到某型航电设备的故障自检测要求。

关键词: 控制器; 内建自测试; 芯片级; 多扫描链; 压缩向量

Design and Implementation of Chip-level BIST Controller

MENG Jue, FAN Xiao-guang, WU Meng, XIA Hai-bao

(College of Engineering, Air Force Engineering University, Xi'an 710038, China)

【Abstract】 In order to meet the needs of real-time and self-test of some domestic avionic equipment malfunction, the chip-level Build-in-Self-Test (BIST) controller aiming at self-test circuit is designed. The traditional test method has defects of time-consuming process and low fault coverage. Resulting from adopting mixed BIST technique combining pseudo-random test vector with certain test vector, multiple scan chain and compressed vector technique, an in-depth study on chip-level BIST controller technique is done, thereby raising a design proposal of specific function module. Owing to the Quartus II role in emulating to the design, the design can meet the self-test demand of avionic equipment malfunction.

【Key words】 controller; Build-in-Self-Test(BIST); chip-level; multiple scan chain; compressed vector

DOI: 10.3969/j.issn.1000-3428.2011.21.081

1 概述

现代飞机航电系统正朝着综合化、数字化、网络化的方向发展, 航空电子系统在整个战机中的地位愈加凸显。为了充分发挥航空电子系统在平时训练及作战中的效能发挥, 必须保证非常高的可靠性, 这就要求系统自身具有实时检测故障的能力和很高的容错能力。因此, 对内建自测试(Build-in-Self-Test, BIST)技术进行深入研究, 对国内的航空电子技术的快速发展, 构架新一代具有完全自主知识产权的航空电子系统具有重要意义。

芯片级是外场可更换模件(LRM)的最低层次, BIST 技术为芯片级的故障检测提供了非常有效的方法。内建自测试控制器是 BIST 的关键部分, 是自测试电路的核心。本文主要研究芯片级 BIST 控制器的关键技术及其实现方法, 可以满足某型航电设备的故障自检测能力。

2 BIST 技术

2.1 BIST 基本结构

BIST 的测试思路在于, 当电路转入测试模式时, 测试向量和响应检测由电路内部的某些结构自动产生, 而不是要求外部施加测试向量确定所得到的测试结果是否正确。为了满足 BIST 的测试要求, 芯片内部需要有一些增加的电路和结构的改动, 主要需要增加的 3 个部分是: 测试代码产生器, 测试控制器和输出响应分析器, 如图 1 所示。

被测电路 CUT 一般是一些嵌入在 SoC 芯片中的 IP 核, 外界通过与测试控制器通信进行控制, 启动控制器进入 BIST 模式。它将启动测试码生成器, 生成预先设计好的一系列测试向量, 施加给被测电路, 电路的响应被输出响应分析器捕

获并与预期的结果进行比较。

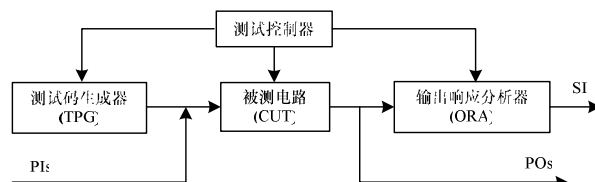


图 1 BIST 电路与被测电路的结构框架

2.2 BIST 控制器关键技术

BIST 控制器是内建自测试的关键部分, 是算法控制的核心。测试矢量生成器、响应分析器、被测电路都需要在控制电路控制下, 以一定时序协调工作, 用于完成自测试工作^[1]。

2.2.1 测试模式生成

确定性测试向量。基于确定性测试向量的是使用存在中的程序, 用于执行硬件的功能测试。还有一种方法是使用传统的自动测试向量生成, 和错误模拟生成测试向量。把测试向量存储在芯片或电路板上, 当被启动时就将其应用到 CUT, 并把 CUT 的响应与存储的响应相比较。由于存储数据维数的限制, 这种方法仅在有限的情况下有效。这种情况包括测试结构逻辑和查找别的 BIST 技术无法处理的错误类型。总的来说, 尽管确定性测试向量的 BIST 具有良好的故障覆

基金项目: 国家部委基金资助项目; 航空科学基金资助项目

作者简介: 孟 觉(1987—), 男, 硕士研究生, 主研方向: 机载计算机技术, 综合模块化航空电子系统; 樊晓光, 教授、博士; 邬 蒙, 讲师、硕士; 夏海宝, 副教授、硕士

收稿日期: 2011-04-22 **E-mail:** mengeng@live.cn

盖率,但由于占用芯片面积太大,并且测试速度较慢而在使用上受到限制^[2]。

穷举或伪穷举测试向量。穷举测试向量的 BIST 排除了测试生成过程并具有很高的故障覆盖率。为测试一个 n 端输入的组合逻辑,要对其施加 2^n 种输入向量。这种方法称为伪穷举测试向量的 BIST。穷举或伪穷举测试的故障覆盖率几乎达到 100%,如果设计合适,不需要故障模拟就可以达到。穷举测试可以查出每一块中不能导致时序行为的所有可测故障。但是穷举测试电路的划分很麻烦,并且为了划分而加入的硬件也很贵。如果不能成功地绕开关键性的时序电路,为划分所加的硬件可能会反过来影响电路的工作。通过恰当地选择能够并行测试的最小值,可以持续合理的测试时间。

伪随机测试向量。伪随机测试与其他的方法不同,伪随机测试需要较长的测试时间,还需要故障模拟估测故障覆盖率。这种模式对硬件、运行支出以及设计的要求都比前一种方法低,在伪随机测试下,每一位都有几乎相同的概率被写入 0 或 1。但是所能得到的故障覆盖率低于穷举测试向量所能得到的故障覆盖率。

基于混合模式的伪随机测试生成。该方法为了解决伪随机测试生成的效率问题,采用将 ATPG 生成的有效测试向量作为种子对 LFSR 进行重复播种的手段,能够很大程度上弥补伪随机测试生成的故障所能达到覆盖率的不可预见性,通常 LFSR 的重复播种的种子可以通过 ROM 或组合解码逻辑得到,或者通过外部的扫描移入^[2]。

2.2.2 测试响应分析

要判断电路中有无故障,就要把测试向量应用到被测电路,并把测试响应和期望值逐位比较,如果在 BIST 可测性设计方法中还采用这种方法,就需要大量存储单元存储测试响应,这种方案需要大的硬件面积开销。合理的方法是先把测试响应进行压缩得到特征向量,然后通过特征向量判定待测电路中有无故障,对测试响应进行压缩得到特征向量的过程称为测试响应特征分析。

目前,特征分析技术应用比较广泛。特征分析技术是一种基于循环冗余概念的压缩技术,结构比较简单,一个单输入的 LFSR 就可以实现特征分析的功能。对于多输出电路的测试响应压缩,往往采用多输入特征寄存器,用作多输入特征分析器的传统电路是线性反馈移位寄存器。国外学者还研究了用细胞自动机、计数器以及累加器作为多输入特征寄存器(MISR)的原理及实现方法。到目前为止,最常用的压缩方法是特征分析法,用 LFSR 或 MISR 实现。这些结构比较容易实现,硬件消耗也相对较少。

3 BIST 控制器的设计及实现

BIST 有很多具体的结构方案,如内建逻辑块观测法(Built-in Logic Block Observation, BOLBO)、CSTP 技术方案、LOCST 方法、STUMPS 方法等^[3]。每种结构方案的控制器都不尽相同,本文综合了各种测试方案与结构的利弊,选择最合适的测试向量和相应的分析方法,对其相应的控制器进行设计验证。

3.1 BIST 设计方案

3.1.1 被测电路扫描链的构造

数字型的 LRM 是大规模的数字电路,如果将整个电路的时序元件构造一个扫描链,容易得出测试所需要的移位时间很长,无法让人接受。所以,通过构造多扫描链的结构减少时间的开销。

基于多扫描链的内建自测试需要一个并行的测试向量生成器移入测试向量,同时需要一个 MISR 分析自扫描链和原始输出端的测试结果。此时移入一个向量所需的时钟数减少为单个扫描链情况下的 $1/n$, n 为扫描链数。为了减少硬件开销,往往采用一个 LFSR 实现测试向量。由于不同的扫描链中的向量只相差一位,测试时必然会比单扫描链情况下故障覆盖率低。为了提高故障覆盖率,可以采用一个 LFSR 和一个移相器构成伪随机测试向量生成器,测试时通过移相器把 LFSR 的输出变成不相关的信号输入到不同扫描链中。

3.1.2 测试模式生成方案的选择

对大规模的集成电路,施加穷举型测试向量是不可实现的。如果完全采用确定性测试向量,虽然向量数较少,测试时间也会很短,但是要增加巨大的额外硬件开销,也是种不理想的方案。本设计采用伪随机测试向量和确定性测试向量相结合的方法构架测试向量发生器,即采用混合模式 BIST。伪随机测试向量能测出大部分的故障,确定性测试向量作为伪随机测试向量的补充,测试所剩故障。伪随机测试算法通常由伪随机数据产生器产生伪随机向量。伪随机特性与 LFSR 相似,因此,一般用 LFSR 实现伪随机数据产生器。根据需设计满足伪随机测试要求长度的 LFSR 序列。对于一些特殊的应用电路,可以采用对 LFSR 改进实现概率加权、遍历型 FSR 设计。本文用 VHDL 描述 4 次本原多项式 $G(x) = x^4 + x^3 + 1$ 构造伪随机数据产生器。

3.1.3 测试响应分析

为了减少存储单元,本文采用特征分析技术,即先把测试响应进行压缩得到特征向量,然后通过特征向量判定待测电路中有无故障。这些结构比较容易实现,因为它们可以串行扫描,数据可以轻易地由外部设备读出。

3.2 BIST 控制器设计

BIST 控制器将控制 LFSR 产生的伪随机测试向量和 ROM 中的确定性向量有序地加载到被测电路,并进行响应分析^[4]。所设计的 BIST 控制器原理框图如图 2 所示。

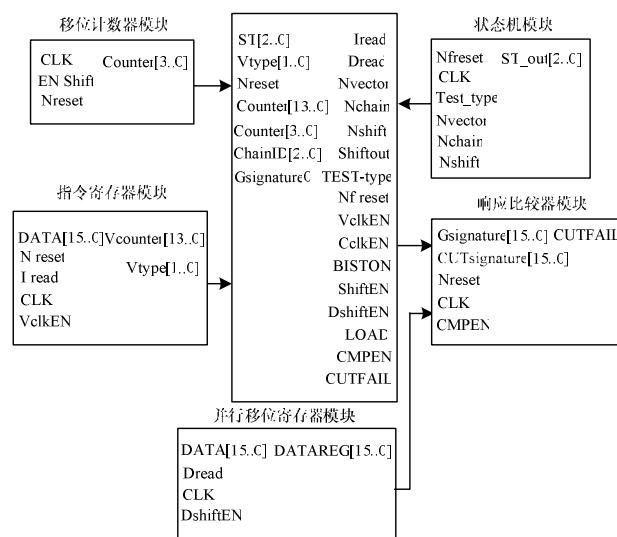


图2 BIST 控制器原理

3.3 BIST 控制器功能模块

设计的 BIST 控制器的电路模块包括以下 6 个。

3.3.1 有限状态机

因为 BIST 控制器主要工作属于控制时序问题,用状态机可以很好地进行时序的控制。所以 BIST 控制器将以一个

有限状态机为核心, 辅助一些寄存器以及一些控制信号产生逻辑。它由 3 位寄存器存储测试的状态, 以表明测试所处的步骤次序。

FSM(Finite State Machine)[2..0]

(1)ST[2]: 测试状态标志, 0 表示测试矢量从矢量发生器移入扫描链及测试矢量施加的状态; 1 表示测试响应移出扫描链到 MISR 以及读入正确电路测试响应特征, 比较响应特征时状态。

(2)ST[1]: 寄存器锁存标志位, 1 表示锁存测试矢量或者响应特征, 测试扫描链和各移位寄存器都停止移位; 0 表示测试矢量移入和测试响应移出状态。

(3)ST[0]: 取数据标志位, 1 表示下一时钟执行取数据(操作指令、确定性矢量或存储的正确电路的响应特征)操作。

3.3.2 指令寄存器

指令寄存器 IR 暂存从外部获取指令, 确定 BIST 的工作模式。指令共为 16 位, 分成 2 个部分:

(1)Vtype[1..0]: 高位为 0 表示伪随机矢量测试, 为 1 表示确定性矢量测试; 低位为辅助位, 为 1 表示自测试状态, IR 全 0 则表示自测试结束。

(2)Vcounter [13..0]: 为测试矢量数。并且低 14 位设计为一个可复位的减法计数器, 它在系统复位时为全 0, 在控制信号 VclkEn 有效时在 CLK 的上升沿作减法计数操作。

3.3.3 移位计数器 CS

对移位的次数进行计数, 扫描设定为 16 位的扫描链, 所以 CS 为 4 位加法计数器就能满足设计要求, 保证每次移入移出扫描链的序列长度为 16 位。当开始移位操作时, CS 从 0000 开始加 1 计数, 最后回到 0000。

3.3.4 响应比较器 CMP

CMP 将被测电路的测试响应同正确的响应进行按位异或操作, 从而判断电路有无故障。

3.3.5 并行移位寄存器 PISR

并行移位寄存器 PISR 为一个 16 位的寄存器, 用于并行输入和输出数据, 在 DshiftEN 有效的时候可以从最低位按位移出所寄存的数据。

3.3.6 扫描链编号 CH_ID

CH_ID 用于记录在确定性测试时, 测试矢量在哪条扫描链上进行移位测试。由于设定扫描链为 8 条, 因此需要 3 位输出。

4 BIST 控制器工作流程及仿真

4.1 电路复位

当 Nreset 信号为低电平时, 电路复位。同时, ST 状态置为 001, ChainID 置为 000, CS 置为 0000。

4.2 测试开始

Nreset 信号变为高电平时, 复位信号结束。之后的第 1 个时钟到来时, IR 读取指令并寄存, 判断是哪类测试。如果是伪随机测试, 则状态转变为 000, 进入伪随机测试流程, 否则, 为确定性测试, ST 状态切换到 011, 进入确定性测试流程。

4.3 伪随机测试

伪随机测试^[5]步骤如下:

(1)进行 16 次移位操作, 将测试矢量移入扫描链。

此时 ShiftEN 已经是高电平, 移位操作开始。移位计数器开始按时钟加 1 计数, 直到 1111, 其中间 ST 状态保持不变; 当第 16 次移位操作结束后, CS 复位到 0000, 并且使

ShiftEN 变成低电平, ST 状态在时钟下降沿到来时转变为 010。仿真结果如图 3 所示。

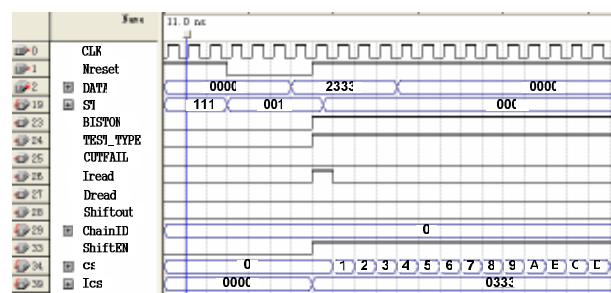


图 3 步骤(1)仿真结果

(2)测试矢量施加和测试响应锁存。

时钟上升沿到来时, 测试响应被锁存到扫描链或者移位寄存器, ShiftEN 则为低电平。当时钟下降沿到来时, ST 状态转变到 100, ShiftEN 切换到高电平。仿真结果如图 4 所示。

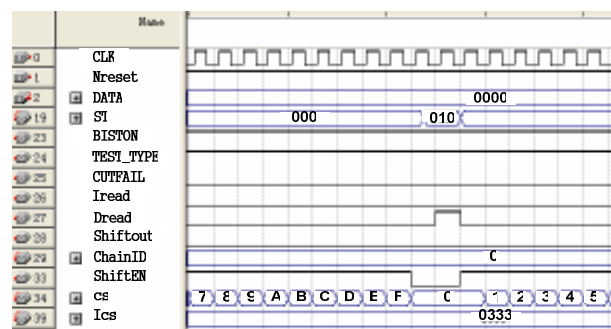


图 4 步骤(2)仿真结果

(3)再次进行 16 次移位操作, 将测试响应移入 MISR 进行响应压缩。

在前 15 次操作中, ST 状态不变, 计数器从 0000 对时钟做加 1 计数。在第 16 次操作后, CS 复位为 0000, ShiftEN 变为低电平, 在时钟下降沿到来时 ST 状态变为 111。

(4)从 ROM 中读出电路时无故障时的响应特征。

操作在时钟上升沿到来时执行, 此时 ShiftEN 保持低电平, ST 状态变为 110。

(5)测试响应特征的比较。

在时钟上升沿到来时, 进行测试响应特征的比较。比较后判断 Nvector, 若为高电平则表示测试矢量还未施加完毕, 进行下一条指令的测试, 重复伪随机测试流程。否则, 说明矢量已经施加完毕, ST 转到 001 状态, 读取下一条测试指令, 即回到测试开始状态。步骤(3)~步骤(5)的仿真结果如图 5 所示。

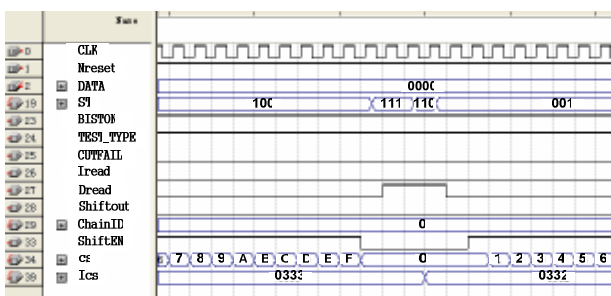


图 5 步骤(3)~步骤(5)仿真结果

4.4 确定性测试

确定性测试的矢量施加过程和伪随机测试时的矢量施加

(下转第 251 页)