

# P/T 系统的 VHDL 描述及实现

陆继远

(江苏大学电气信息工程学院, 江苏 镇江 212013)

**摘要:** 利用超高速集成电路硬件描述语言(VHDL)描述 P/T 系统, 在 EDA 软件平台 MAX+plusII 上, 对 Petri 网模型的 VHDL 描述进行编译、仿真、适配, 将结果下载到可编程逻辑器件中, 通过实验开发系统 GW48-CK 进行硬件测试。给出一个 P/T 系统实例——服务系统的描述及实现。仿真波形及硬件测试结果证明了该方法的正确性。

**关键词:** Petri 网; P/T 系统; 电子设计自动化; 硬件描述语言; 可编程逻辑器件

## VHDL Description and Implementation of Place/Transition System

LU Ji-yuan

(College of Electrical and Information Engineering, Jiangsu University, Zhenjiang 212013, China)

**【Abstract】** This paper studies how to use Very high-speed integrated circuit Hardware Description Language(VHDL) to describe a Petri net subclass——Place/Transition(P/T) system. The VHDL description of Petri net model is compiled, simulated, fit design and finally downloaded to Field Programmable Gate Array(FPGA) through Electronic Design Automation(EDA) software MAX+plusII. Hardware experiment is performed with GW48-CK. A P/T system example——service system is described and implemented using the proposed method. Simulation wave and hardware experiment further verify the correctness of the method. The VHDL-based implementation method is of great significance to the design of parallel controller based on P/T System.

**【Key words】** Petri net; Place/Transition(P/T) system; Electronic Design Automation(EDA); Hardware Description Language(HDL); Programmable Logic Device(PLD)

DOI: 10.3969/j.issn.1000-3428.2011.21.086

### 1 概述

离散事件系统的建模与控制越来越受到控制界的重视, Petri 网<sup>[1-3]</sup>是离散事件系统建模的重要工具, 特别适合于描述异步并发、资源共享、冲突等现象。它具有坚实的数学基础和直观的图形表示, 不仅可以用于分析系统的结构特性, 而且可以用于分析系统的动态性能。但 Petri 网的硬件实现有一定的难度: (1)Petri 网描述的是并发问题; (2)Petri 网中反映的是资源的流动, 这与传统逻辑电路设计中的信息处理方式不同, 信息作为一种资源具有消耗性质; (3)Petri 网种类多, 时延 Petri 网涉及时间, P/T(Place/Transition)系统不仅涉及逻辑量, 而且涉及数值的运算。

文献[4]给出了 Petri 网电路实现的一种方法, 其特点是库所与变迁分开实现。为了减少占用的现场可编程门阵列(Field Programmable Gate Array, FPGA)资源, 将库所与变迁的电路综合在一起, 但缺点是库所和变迁都使用了触发器, 不能在真正意义上实现异步控制, 采用了全局时钟, 接线复杂。有学者曾用基本 RS 触发器来实现 Petri 网, 特点是不用全局时钟而是异步控制, 可以认为是 Petri 网基于门级的实现, 缺点是 RS 触发器存在不定状态。文献[5]给出了几种 Petri 网的电路模型, 库所用 D 触发器, 变迁用门电路实现, 是一种异步控制。超高速集成电路硬件描述语言(Very high-speed integrated circuit Hardware Description Language, VHDL)是一种并发的标准硬件描述语言, 可以解决数字系统描述中的并发性问题, 而且可以对系统进行仿真和综合。Petri 网和 VHDL 可以相互补充。对 Petri 网模型用 VHDL 语言进行描述有很

多优点。与其他硬件描述语言相比, VHDL 具有更强的行为描述能力, 含有许多具有硬件特征的语句, 有丰富的仿真语句和库函数, 可以在设计早期进行高层次仿真模拟。用它进行设计速度快、周期短。而且 Petri 网模型的 VHDL 描述可综合, 使得最终可用 FPGA 或复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)等可编程逻辑器件实现并行控制器的 Petri 网模型, 这种方法可以得到真正的异步时序电路<sup>[6-10]</sup>。

本文用 VHDL 语言对 Petri 网的一个重要的子类——P/T 系统进行描述并在可编程逻辑器件 FPGA 中实现, 该方法为基于 P/T 系统的并行控制器设计提供了行之有效的方法。

### 2 P/T 系统

**定义** 六元组  $\Sigma=(S,T;F,K,W,M_0)$  称为 P/T 系统, 其中,  $N=(S,T;F)$  是一个有向网, 简称网, 满足<sup>[1]</sup>:

- (1)  $S \cup T \neq \emptyset$
- (2)  $S \cap T = \emptyset$
- (3)  $F \subseteq S \times T \cup T \times S$
- (4)  $\text{dom}(F) \cup \text{cod}(F) = S \cup T$

而  $K$ 、 $W$ 、 $M$  依次为  $N$  上的容量函数、权函数、标识。  $K: S \rightarrow \text{IN} \cup \{\omega\}$ ,  $W: F \rightarrow \text{IN}$ ,  $M: S \rightarrow \text{IN}_0$ 。其中,  $S$  叫作  $N$  的库所集;  $T$  叫作变迁集;  $F$  叫作流关系;  $\times$  为笛卡尔乘积;  $M_0$

**基金项目:** 江苏大学青年基金资助项目(JDQ03014)

**作者简介:** 陆继远(1978—), 男, 讲师、博士研究生, 主研方向: Petri 网理论及应用, 电子设计自动化技术

**收稿日期:** 2011-03-15 **E-mail:** jiyuanlu@ujs.edu.cn

是初始标识;  $IN_0 = \{0, 1, 2, \dots\}$ ;  $IN = \{1, 2, \dots\}$ 。

### 3 VHDL 描述及实现步骤

用大规模可编程逻辑器件实现由 Petri 网描述的控制器已成为研究 Petri 网硬件实现的一种有效的途径和方法。目前, 国内外已有不少研究人员从事这方面的工作, 并取得了一定的成果<sup>[4-10]</sup>。Petri 网能够使用 ABEL、Verilog 和 VHDL 等硬件描述语言(Hardware Description Language, HDL)进行描述, 通过电子设计自动化(Electronic Design Automation, EDA)软件工具对其编译、模拟、适配, 最后下载到可编程逻辑器件中。

用 VHDL 语言进行描述及实现的基本步骤如下:

- (1)对实际系统建立 Petri 网模型。
- (2)采用 Petri 网软件工具对所建立的 Petri 网模型进行分析并加以控制, 建立控制器的 Petri 网模型。
- (3)确定输入输出变量并选择相应的 FPGA 或 CPLD 可编程逻辑器件。
- (4)根据网的拓扑结构确定条件与事件间的逻辑关系, 用标准的硬件描述语言如 VHDL 语言对 Petri 网模型进行描述。
- (5)以 VHDL 描述作为设计输入, 通过 EDA 软件开发工具, 如 isp Design EXPERT 或 MAX+plusII 进行编译、仿真、适配, 然后下载到可编程逻辑器件中。
- (6)通过 GW48-CK 等 EDA 实验开发系统进行硬件测试。

## 4 服务系统

### 4.1 相关概念的引入

服务系统用到 2 个相关概念: 有限容量 PN 和抑制弧 PN。

(1)有限容量 PN(Finite Capacity PN)。在有限容量 PN 中, 容量(严格的正整数)与库所相联系。库所  $P_i$  的容量表示为  $Cap(P_i)$ , 当  $P_i$  输入变迁的发生不会导致  $P_i$  中的托肯数超过其容量时, 变迁才能完成。

(2)抑制弧 PN(Inhibitor Arc PN)。抑制弧是一有向弧, 它离开库所  $P_i$  到达变迁  $T_j$ , 其终端用一个小圆圈表示。  $P_i$  和  $T_j$  间的抑制弧表示当且仅当  $P_i$  不含任何托肯时, 变迁  $T_j$  才是使能的。其发生包括从  $T_j$  的每个输入库所( $P_i$  除外)取走一个托肯, 并增加一个托肯到  $T_j$  的每个输出库所。

### 4.2 服务系统的描述及其 Petri 网模型

图 1 是一个服务系统的 Petri 网模型<sup>[2]</sup>, 此 Petri 网模型是一个 P/T 系统。

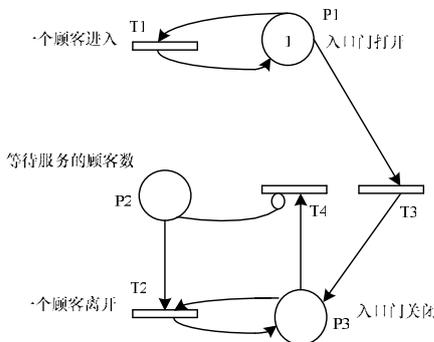


图 1 服务系统的 Petri 网模型

当顾客进入后, 在开始服务前把门关上。顾客接受服务, 然后从另一个门离去; 只有所有的顾客都离去时, 入口的门才能再次打开。P2 中的托肯代表已经进来但还没有离开的顾客, 容量是 3。P1 及 P2 分别代表入口门打开和关闭 2 种状态, T3 和 T4 的发生使一种状态转变至另一种状态。T1 的发生代

表 1 个顾客进入, 可由装在门口的光电传感器获得这一信号; T2 的发生代表 1 个顾客的离去, 也是由光电传感器获得信号; T3、T4 可看成是启动门关闭和打开的按钮。

### 4.3 P/T 系统的 VHDL 描述

用 VHDL 语言对该服务系统的 Petri 网模型描述的部分源程序如下:

```

architecture a of service is          -结构体开始
signal P1:bit;                        -定义库所信号
signal P2:std_logic_vector(1 downto 0);
--因为 P2 的托肯容量为 3, 所以用 2 位
signal P3:bit;
begin
PP1:process(clock,reset)
begin
    if reset='1' then P1<='1';        -reset 为 1, 给 P1 置初始标识
    elsif clock'event and clock='1' then -时钟脉冲上升沿有效
        if(P1='1' and not(t3='1')) or (P2="00" and T4='1' and P3='1')
            -库所 P1 被标识规则描述
            then P1<='1';
            else P1<='0';
        end if;
    end if;
end process;
PP2:process(clock,reset)
begin
    if reset='1' then P2<="00";
    -reset 为 1, 给 P2 置初始标识
    elsif clock'event and clock='1' then
        if (P1='1' and T1='1') and (P2<3)
            then P2<=P2+1;
            -一个顾客进入, 则等待服务的顾客数加 1
        elsif (P3='1' and T2='1' and P2>0)
            then P2<=P2-1; -一个顾客离开, 则等待服务的顾客数减 1
        else P2<=P2;
        end if;
    end if;
end process;
PP3:process(clock,reset)
begin
    if reset='1' then P3<='0'; -reset 为 1, 给 P3 置初始标识
    elsif clock'event and clock='1' then
        if (P3='1' and not (T4='1')) or (P1='1' and T3='1')
            -库所 P3 被标识规则描述
            then P3<='1';
            else P3<='0';
        end if;
    end if;
end process;
y<=P1;
end;

```

### 4.4 仿真及硬件测试

该程序经 Altera 公司的 EDA 软件 MAX+plusII10.0 编译后, 仿真波形如图 2 所示。

从波形可以看到, T1 连续发生 3 次以后( $T1=1$ ), 在 350.1 ns 时, P2 变为 3, 即等待服务的顾客数为 3(达到上限); 450.1 ns 时, T3 发生( $T3=1$ ), P3 变为 1, 即入口门关闭; 在 550.1 ns 时, T2 发生( $T2=1$ ), P2 变为 2, 即等待服务的顾客

数变为 2, 而 P3 仍为 1, 即入口门依然关闭; 接着, 由于 T2 的连续发生( $T2=1$ ), 因此在 750.1 ns 时, P2 变为 0, 即所有顾客的服务结束; 在 850.1 ns 时, T4 发生(因为 T4 为 1, P2 为 0), 入口门再次被打开。

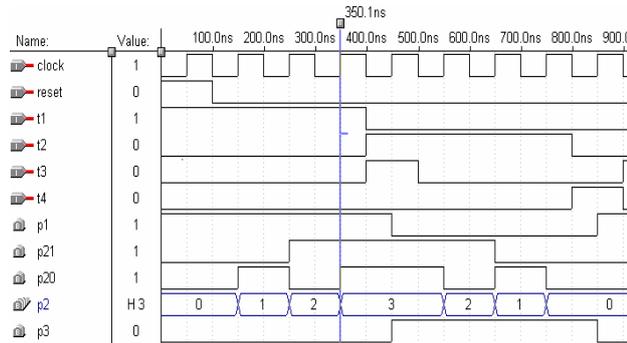


图 2 仿真波形

在 EDA 软件平台下, 这种 P/T 系统在 Altera 公司的 EPF10K10LC84-4 芯片上实现, 并在 GW48-CK 实验开发系统上得到实际验证。P1、P3 用发光二极管表示, 用数码管显示 P2 中的顾客数。T1~T4 用按键代替。仿真及硬件测试结果表明了该设计的正确性。

## 5 结束语

微电子技术发展到今天已有几千至几千万个标准门的芯片, 特别是 EDA 技术, 使人们有条件在一个芯片上设计、制作整个数字系统, 即片上系统(System on Chip, SoC)。SoC 的复杂性不仅在于芯片的集成度迅速增加, 而且在于具有异步并发行为的特性。SoC 设计的实质是复杂并行控制器的设计。Petri 网能解决当前 SoC 设计中遇到的诸多难题, 特别是系统的描述、划分和验证等, 因此, 研究 Petri 网的 VHDL 描述及实现尤为重要。

本文用 VHDL 语言对 Petri 网的一个重要的子类——P/T 系统进行描述并在 FPGA 中实现, 该方法为基于 P/T 系统的并行控制器设计提供了行之有效的方法, 保证了控制器的正确

性与有效性, 对 SoC 的设计具有重要意义。

## 参考文献

- [1] 袁崇义. Petri 网原理与应用[M]. 北京: 电子工业出版社, 2005.
- [2] R·大卫, H·奥兰. 佩特利网和逻辑控制器图形表示工具(GRAFCET)[M]. 黄建文, 赵不贻, 译. 北京: 机械工业出版社, 1996.
- [3] Murata T. Petri Nets: Properties, Analysis and Applications[J]. Proceedings of the IEEE, 1989, 77(4): 541-580.
- [4] Soto E, Pereira M. Implementing a Petri Net Specification in a FPGA Using VHDL[C]//Proceedings of the International Workshop on Discrete-event System Design. Przytok, Germany: [s. n.], 2001:19-24.
- [5] 赵不贻, 景亮, 严仰光. Petri 网的硬件实现[J]. 软件学报, 2002, 13(8): 1652-1657.
- [6] 李文敬, 廖伟志, 王汝凉. Petri 网系统的功能划分及其并行算法[J]. 计算机工程, 2009, 35(21): 48-50.
- [7] Pawlewski P. Petri Nets: Applications[EB/OL]. (2010-09-23). www.doc88.com/p-89292376341.html.
- [8] Adamski M. Behavioural Specification of Programs for Modular Reconfigurable Logic Controllers[C]//Proceedings of MIXDES'06. Gdynia, Poland: [s. n.], 2006: 239-244.
- [9] Gomes L, Costa A, Barros J P, et al. From Petri Net Models to VHDL Implementation of Digital Controllers[C]//Proceedings of the 33rd Annual Conference of the IEEE Industrial Electronics Society. Taipei, China: IEEE Press, 2007: 94-99.
- [10] Schilke H, Rettberg A, Dittmann F. Towards a Petri Net Based Approach to Model and Synthetic Dynamic Reconfiguration for FPGAs[C]//Proceedings of the 4th IEEE International Symposium on Electronic Design, Test & Applications. Hong Kong, China: IEEE Press, 2008: 561-566.

编辑 张正兴

(上接第 243 页)

## 参考文献

- [1] 张贤达. 矩阵分析与应用[M]. 北京: 清华大学出版社, 2004.
- [2] 鲍戈海, 袁勇. 大型线性方程组 LDLT 并行求解在机群-消息传递并行环境下的实现[C]//全国结构计算理论与工程应用学术会议论文集(结构工程师增刊). 上海: [出版者不详], 2003.
- [3] Strazdins P E. An Efficient and Stable Method for Parallel Factorization of Dense Symmetric Indefinite Matrices[EB/OL]. (2010-11-25). <http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.122.5751>.
- [4] Gao Weiguo, Li Xiaoye, Yang Chao, et al. An Implementation and Evaluation of the AMLS Method for Sparse Eigenvalue Problems[J]. Mathematical Software, 2008, 34(4): 1-28.
- [5] 张锦雄, 韦化. 基于 OpenMP 的对称矩阵 LDLT 分解并行算法实现[J]. 广西科学院学报, 2008, 24(3): 248-250.
- [6] Olaf S, Matthias C, Helmar B. Algorithmic Performance Studies on Graphics Processing Units[J]. Journal of Parallel Distributed Computation, 2008, 68(10): 1360-1369.
- [7] Yang Depeng, Gregory D P, Li Husheng, et al. An FPGA Implementation for Solving Least Square Problem[C]//Proc. of the 17th IEEE Symposium on Field-programmable Custom Computing Machines. [S. l.]: IEEE press, 2009.
- [8] Yang Depeng, Gregory D P, Li Husheng. High Performance Reconfigurable Computing for Cholesky Decomposition[C]//Proc. of Symposium on Application Accelerators in High Performance Computing. Urbana, USA: [s. n.], 2009.

编辑 刘冰