

基于多核平台的长期演进信道估计器设计

贺茂飞, 于学球, 张家杰, 俞 政, 虞志益

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘 要: 设计一种基于多核平台的长期演进下行链路信道估计器。对任务进行划分, 分解为多个子任务, 根据子任务之间的相对通信量, 将子任务映射至 13 个处理器核上, 综合运用共享内存及 NoC 消息传递 2 种方式进行核间通信, 实现多核协同工作, 并使用扩展的寄存器堆文件、SIMD 数据通路特性、平衡单核计算负载量等方式优化设计。性能分析结果表明, 该信道估计器可达到 678 Mb/s 的吞吐率。

关键词: 信道估计器; 多核处理器; 长期演进; 核间通信; 并行计算; 多核访存策略

Design of Channel Estimator for Long Term Evolution Based on Multi-core Platform

HE Mao-fei, YU Xue-qiu, ZHANG Jia-jie, YU Zheng, YU Zhi-yi

(State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

【Abstract】 This paper presents a channel estimator based on multi-core platform for Long Term Evolution(LTE) downlink. This design partitions task into various sub tasks, and then maps subtasks onto 13 different cores by the relative inter-core communication traffic. The integration usage of shared memory and NoC message transfer are 2 ways for inter-core communication, as to realize multi-core collaborative work. By using the extended register file, SIMD data path characteristics and balanced single core computation load. Performance analysis result shows that this channel estimator can achieve a throughput of 678 Mb/s.

【Key words】 channel estimator; multi-core processor; Long Term Evolution(LTE); inter-core communication; parallel computation; multi-core memory access strategy

DOI: 10.3969/j.issn.1000-3428.2013.05.067

1 概述

无线通信飞速发展, 为应对超宽带技术、WIMAX 等无线技术的挑战, 3GPP 组织发起了 3G 长期演进(Long Term Evolution, LTE)^[1]的通信标准演进计划。LTE 目前已成为 4G 通信标准, 信道估计器是 LTE 通信物理层实现的关键模块之一。信道估计器有专用集成电路(Application Specific Integrated Circuit, ASIC)、多核处理器软件映射等多种实现方式。传统的 ASIC 实现方式^[2]具有功耗低、面积小等优势, 但同时具有设计周期长、灵活性差、设计成本高等不足。特别是在通信标准变化愈发迅速的时代, 能快速适应新标准的纯软件设计方法日益受到重视。

纯软件实现方式具有灵活性高、易移植及开发成本低

等优点, 克服了 ASIC 的不足。特别是多核处理器兴起后, 其强大的并行处理能力保证了纯软件实现的通信系统仍具有较高的吞吐率性能^[3]。本文提出了一种应用于 LTE 下行链路的信道估计器多核软件实现方法。通过分析任务之间的相关性及其并行性, 进行有效划分、合理映射, 协同多核之间的数据连接关系, 并综合运用多块缓冲存储器切换通信机制及扩展寄存器堆文件暂存。

2 算法及多核平台简介

LTE 系统标准中设置了导频参考信号, 基于导频信号的信道估计算法更符合系统的要求。相比盲估计方式, 基于导频的信道估计算法牺牲了一部分频点资源, 但带来了系统误码率性能的大幅提升。

基金项目: 国家自然科学基金资助项目(61103008); 国家科技重大专项基金资助项目(2011ZX03003-003-03); 上海市科委集成电路专项基金资助项目(10706200300); 上海市青年科技启明星计划基金资助项目(11QA1400500)

作者简介: 贺茂飞(1987—), 男, 硕士研究生, 主研方向: 无线通信; 于学球、张家杰、俞 政, 硕士研究生; 虞志益, 副研究员

收稿日期: 2012-07-12 **修回日期:** 2012-08-08 **E-mail:** 10210720061@fudan.edu.cn

基于导频的信道估计算法主要有最小二乘估计、维纳滤波估计^[4]、线性估计^[5]等方式。从时频图上来看,最小二乘估计一般用于估计导频信号位置处的信道频域响应,而线性估计及维纳滤波估计主要用于非导频处频点的信道频域响应估计。相对于维纳滤波估计,线性估计有计算复杂度较低、耗费存储资源较少等优点,但在误码率性能上相对较差^[6]。图1比较了常用的3类信道估计算法误码率性能,多普勒频偏为130 Hz,可以看到在常规信道条件下,线性滤波插值算法在信噪比较高的情景中,误码率远高于其他2种算法。另一方面可以看到,维纳滤波插值算法是误码率性能最优的信道估计算法,但其计算复杂度也是3种算法中最大的。本文采用频域方向上维纳滤波估计与时域方向上线性估计相结合的算法,综合了线性估计与维纳滤波估计的优点以达到性能与计算复杂度之间的有效折中。

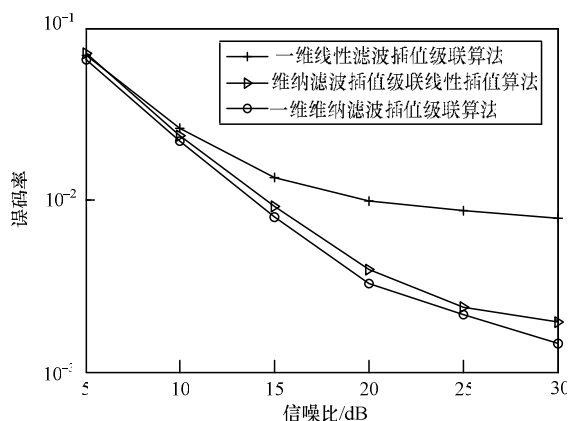


图1 ETU信道下各种算法误码率情况

本文信道估计器的实现硬件基础是簇状结构的16核处理器平台^[7]。该处理器平台采用了基于共享内存的核间通信方式与基于消息包传递的核间通信方式相结合的方法进行核间通信。

多核平台分为2个处理器簇,每个簇内的8个处理器核除了拥有自己的私有数据存储单元外,还共享一块数据存储单元,每个处理器核拥有依次递减的共享内存访问优先级,簇内处理器核之间通过共享内存可以实现快捷的通信。每个处理器核及共享存储器均配置了一个路由器,所有的路由器连接成一个完整的NoC(Network on Chip)网络,各个核还可以通过NoC网络进行通信。混合通信机制为应用开发提供了灵活的核间通信方式,开发者可以根据核之间的相对位置及通信量大小选择合适的通信机制。

多核平台的第二大特色是去掉了传统处理器中的高速缓冲存储器,减少了层次化存储体系中的级数,加快了处理器核提取存储器中数据的效率,同时扩展了寄存器堆文件。原有的寄存器堆文件与扩展的寄存器堆文件之间可以自由切换,这样的切换设计使得零散的小数据通信更加方便,另外扩展的寄存器堆文件还可以用来将

某些常数固定在寄存器中。

多核平台的另外一个特色是采用SIMD数据通路结构,同一条指令可以处理多条数据流,这与无线通信应用中数据通路多为8位位宽或16位位宽相适应。

下文详细地阐述了这些特色在信道估计器映射中的运用及相关性能评估。

3 信道估计器的多核映射

对于MIMO 2×2信道,接收机有2根天线,会同时收到2层信号流。考虑到第1层信号流与第2层信号流之间的数据交互较少,本文设计将2层流的处理过程分别映射到2个处理器簇中,这样可大幅减少核之间的通信距离,提升核间通信效率。信道估计器的映射过程分为3个步骤,下面介绍每个步骤的实现过程。

3.1 最小二乘估计器(LS)

最小二乘估计是整个信道估计的第1步。利用接收到的2层信号值及2组参考信号即可求得参考信号处的信道频域响应 $H_{LS}(i, j, k)$:

$$H_{LS}(i, j, k) = Y(i, j, k) / R(i, j, k)$$

其中, Y 为接收信号的频域响应值; R 为参考信号; i 为OFDM符号编号; j 为子载波编号; k 为信号流层索引值。

核间通信过程如下:导频处的信道频域响应值通过多核NoC网络传递至图2中的处理器簇1和处理器簇2中的共享存储器中。数据送达后,LS核发送一组同步信息给下一级任务维纳滤波插值器,通知其数据已准备好。

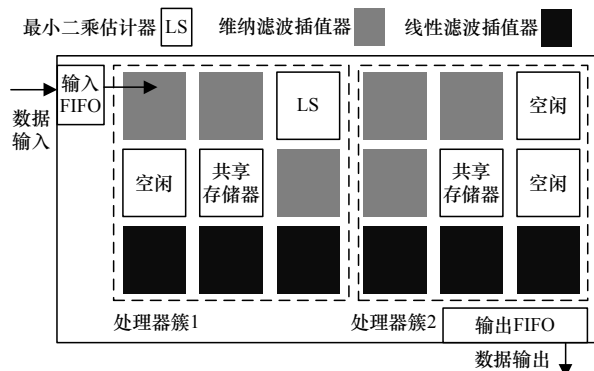


图2 信道估计多核映射示意图

3.2 维纳滤波插值器

为平衡各个子任务之间的计算负载量,维纳滤波插值器划分为6个并行处理单元,分别映射到6个核上。滤波器模块的滤波系数是固定不变的,于是在优化时就将各个滤波器系数固定在扩展的寄存器堆文件中。在计算流程上,运算到滤波步骤时,处理器立刻从常规寄存器堆切换到扩展寄存器堆,这样基本不需要访问存储器去取滤波器系数,大幅减少了访问内存次数,提升了处理器能量效率。结合维纳滤波插值器模块数据通信流量大且规整的特征,维纳滤波插值器完全采用共享内存方式与其他核进行核间通信。

3.3 线性滤波插值器

在划分子任务时, 需要充分考虑数据之间的相关性。以线性滤波插值器为例, 时频图频域上不同子载波的信号处理基本上不存在数据交互, 因此, 设计中将 2 层数据流的处理过程分别划分成了 3 个子任务。如图 3 所示, 每个处理器簇有 3 个处理器核处理其中一层信号流。

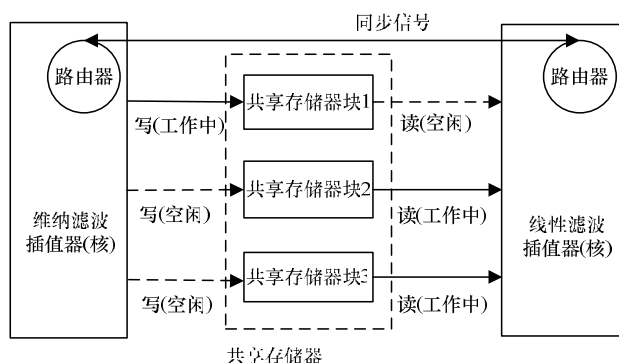


图3 维纳滤波插值器与线性滤波插值器的核间通信

核间通信过程主要基于每个处理器簇内的共享存储器。另外因为线性滤波插值器与维纳插值器之间形成任务级流水线结构, 在核间通信的处理上采用了乒乓操作机制。通过设置共享存储器中 3 块存储块作为缓存, 每个处理器可以同时单向写或者读其中一块共享存储器。如图 3 所示, 线性插值器在取完共享存储块 2 及共享存储块 3 中的数据后, 立刻通过 NoC 网络发送同步信号数据包至维纳插值器核, 通知对方核共享存储块 3 的资源已经释放, 维纳插值模块可写该块存储器。收到同步通知后, 维纳滤波插值器将数据快速写入共享存储块 3, 而在下一次运算中, 线性插值器则将读取地址切换到共享存储块 1 及共享存储块 2。

3.4 任务级流水线结构

整个信道估计器划分为 3 个子任务, 每个子任务之间以流水线的方式进行工作。在初始启动时, 处理器会有一段等待时间, 流水线打通后, 处理器基本处于满负荷工作状态。为达到最优的处理器利用率, 每一级子任务被划分为多个并行任务, 平衡单个处理器的计算负载量, 以避免单个任务环节碰到速度瓶颈而拖累整条流水线计算效率的情况出现。从图 4 可以看到, 最小二乘估计器外的其他核基本处于满活跃状态, 单核利用率较高。

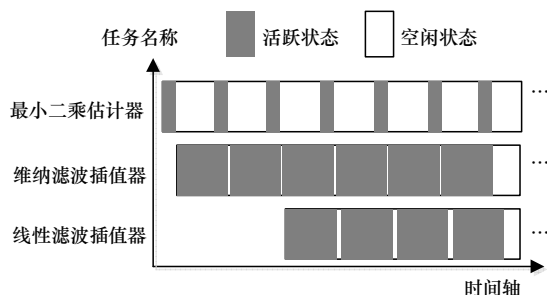


图4 子任务的流水线工作示意图

图 4 描述了信道估计器流水线设计中各个子任务的一般工作流程。在初始状态下, 最小二乘估计器最先开始工作, 完成一个 OFDM 符号的处理后, 发送同步信号包到维纳滤波插值器所在的处理器核, 通知其数据已准备好。维纳滤波器在收到通知信息后就在流水线上环节, 即最小二乘估计器处理后的中间结果基础上继续处理信号, 另外在临近处理完一个 OFDM 符号的某个时刻, 发送反馈数据包, 通知最小二乘估计器开始计算下一个 OFDM 符号。维纳滤波插值器与线性滤波插值器的同步及同步反馈遵循同样的机制。

4 性能评估

4.1 内存访问次数优化

本文利用多核处理器的 SIMD 数据通路、扩展寄存器文件堆以及基于共享内存的核间通信等特征减少访问次数。从表 1 可以看到, 运用扩展的寄存器进行优化后, 内存访问量减少了 66.1%, 继而运用 SIMD 数据通路特点优化后, 内存访问次数相对减少了 13.9%。可见, 针对信道估计等通信类应用, 多核处理器平台的新特性可以有效地减少内存访问量, 进而提升能量效率。在计算效率提升方面, 利用扩展的寄存器进行优化后, 信道估计应用整体吞吐率提升了 65.9%, 而 SIMD 数据通路的使用则将吞吐率进一步提升了 66.2%。在平衡计算负载方面, 起初线性处理器核的计算负载明显大于其他处理器核, 拖累了整体流水线的处理速度, 增加了 2 个线性插值器核后, 单核平均吞吐率由 45.55 Mb/s 提升至 52.15 Mb/s, 单核计算效率提升了 15%。

表1 存储器访问次数优化及对应处理器特性

处理器核数	优化方法	访问存储器次数	吞吐率/(Mb·s ⁻¹)
11	初始值	108 980	182
11	寄存器扩展	36 962	301
11	SIMD	21 746	501
13	计算负载再平衡	22 220	678

4.2 核活跃度及核间通信分析

处理器核的时间资源主要分配给计算、核间通信以及空闲等待这 3 项活动。LS 核以外的单核平均有效计算时间比重高达 89%, 核间通信及空闲等待仅占了 11% 的处理器核时间资源。这样来看, 核之间的配合是高效的。

各个子任务之间的通信主要采用基于共享内存的核间通信方式。核间通信开销主要源自于访问共享内存发生冲突时产生的处理器核的停顿。从图 5 也可以看到, 优先级较低的线性估计核通信开销较大, 而处于优先级较高的处理器核的维纳滤波插值器通信开销较小。其中, LS 表示最小二乘估计器; M_i 为维纳插值器; N_i 为线性插值器。

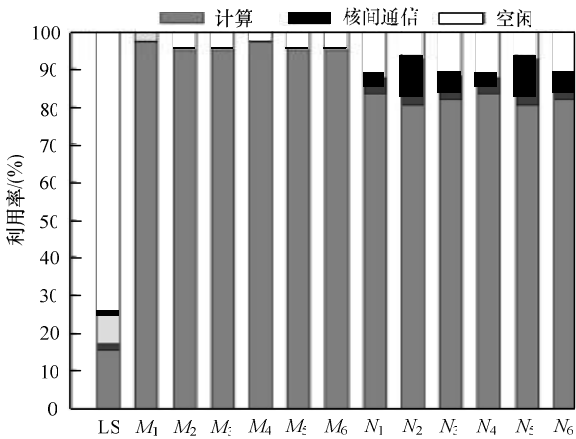


图 5 信道估计各个子任务处理器核利用率

4.3 性能对比

从表 2 可以看到，尽管在功耗上，基于多核的信道估计器不及 ASIC 实现方案，但在系统吞吐率指标上占有较大优势。就单位吞吐率功耗而言，本文中的信道估计器单位吞吐率功耗为 0.65 mW/(Mb·s⁻¹)，相对 ASIC 解决方案^[8]的 0.43 mW/(Mb·s⁻¹)，仅增加了 50.4%。尽管功耗上，多核方案有一定劣势，但基于多核的信道估计器通过简单调整，可以快速应用在其他通信标准，在通信标准多样化的今天尤其具有现实意义。

表 2 本文信道估计器与其他设计吞吐率及功耗对比

信道估计器	吞吐率/(Mb·s ⁻¹)	功耗/mW
本文信道估计器	678	442
文献[8]信道估计器	60	26
文献[10]信道估计器	138	448

与同样采用 DSP 实现的信道估计器^[9]相比，本文提出的信道估计器大幅提升了数据吞吐率，达到 678 Mb/s。文献[9]采用时钟频率为 1.2 GHz 的 TMS3200C6455 芯片，处理一子帧数据的运行周期数为 4.6×10⁵，对应的最高吞吐率为 289 Mb/s。

5 结束语

基于共享内存的通信及 NoC 消息传递相结合的混合通信机制，极大方便了无线通信这类具有数据流特征的应用开发，本文设计单核利用率达到 89%，可见多核平台在核数目增加的同时保持了高效的协同工作能力，未来多核处理器将是通信应用开发的一个重要平台。通过任务级并行、数据级并行以及流水线结构等多种并行策略的综合运用，本文提出的基于多核的信道估计器数据

吞吐率达到了 678 Mb/s，在无线通信领域应用前景广阔。

参考文献

[1] 3GPP. TS 36.211 v8.4.0-2008 Evolved Universal Terrestrial Radio Access—Physical Channels and Modulation[S]. 2008.

[2] Haene S, Burg A, Felber N, et al. OFDM Channel Estimation Algorithm and ASIC Implementation[C]//Proc. of European Conference on Circuits and Systems for Communication. Bucharest, Romania: [s. n.], 2008.

[3] Karam L J, Gatherer A. Trends in Multi-core DSP Platforms[J]. IEEE Signal Processing Magazine, 2009, 26(6): 38-49.

[4] Weng Fanghua, Yin Changchuan, Luo Tao. Channel Estimation for the Downlink of 3GPP-LTE Systems[C]//Proc. of the 2nd IEEE International Conference on Network Infrastructure and Digital Content. [S. l.]: IEEE Press, 2010: 1042-1046.

[5] Qin Yang, Hui Bing, Chang Kyung-Hi. Performance and Complexity Evaluation of Pilot-based Channel Estimation Algorithms for 3GPP LTE Downlink[C]//Proc. of International Conference on Ubiquitous and Future Networks. Jeju Island, Korea: [s. n.], 2010.

[6] 徐鹏超, 俞 晖, 徐友云. LTE 下行信道估计算法研究[J]. 通信技术, 2010, 43(5): 162-167.

[7] Yu Zhiyi, You Kaidi, Xiao Ruijin. An 800 MHz 320 mW 16-core Processor with Message-passing and Shared-memory Inter-core Communication Mechanisms[C]//Proc. of International Conference on Solid-state Circuits. San Francisco, USA: [s. n.], 2012.

[8] Lin Jung-Mao, Yu Hsin-Yi, Wu Yu-Jen. A Power Efficient Baseband Engine for Multi-user Mobile MIMO-OFDMA Communications[J]. IEEE Transactions on Circuits and System, 2010, 57(7): 1779-1792.

[9] 李小文, 梁 琳. TD-LTE 下行信道估计的 DSP 实现[J]. 电视技术, 2011, 35(7): 44-48.

[10] Boyapati H K, Rajakumar R V, Chakrabarti S. Quantifying the Improvement in Energy Savings for LTE eNodeB Baseband System with Technology Scaling and Multi-core Architectures[C]//Proc. of National Conference on Communications. Kharagpur, India: [s. n.], 2012.

编辑 顾逸斐