



## SAE AS6802 协议研究及模块化仿真平台设计

何向栋,孙靖国,陈长胜,王建宇,贾世伟

(中国航空工业集团公司西安航空计算技术研究所,西安 710065)

**摘 要:** 分析安全关键领域的时间触发网络协议 SAE AS6802 与时间同步算法技术,分别对同步流程、时间同步角色、时序保持算法、集中控制算法、时钟纠正算法、同/异步派系检测算法以及通道择优方法等进行研究,归纳时间同步精度的影响因素。在此基础上,设计一种时间同步算法 IP 核,并构建基于 SystemVerilog 的模块化仿真验证平台。利用该平台对时间同步算法进行 RTL 级仿真,结果验证了该时间同步算法的正确性,其同步精度保持在亚微秒级,满足下一代高安全关键领域的应用要求。

**关键词:** AS6802 协议;时间触发网络;时间同步;时序保持算法;集中控制算法;派系检测;模块化仿真

开放科学(资源服务)标志码(OSID):



**中文引用格式:** 何向栋,孙靖国,陈长胜,等.SAE AS6802 协议研究及模块化仿真平台设计[J].计算机工程,2021,47(1):203-209.

**英文引用格式:** HE Xiangdong, SUN Jingguo, CHEN Changsheng, et al.SAE AS6802 protocol research and modular simulation platform design[J].Computer Engineering, 2021, 47(1):203-209.

## SAE AS6802 Protocol Research and Modular Simulation Platform Design

HE Xiangdong, SUN Jingguo, CHEN Changsheng, WANG Jianyu, JIA Shiwei

(Xi'an Aeronautics Computing Technique Research Institute, Aviation Industry Corporation of China, Xi'an 710065, China)

**[Abstract]** The paper analyzes the Time-Triggered Ethernet(TTE) protocol SAE AS6802 and the time synchronization algorithm, which are used in safety-critical systems. The research focuses on the synchronization control flow, time synchronization component, time series preservation algorithm, centralized control algorithm, clock correction algorithm, synchronous/asynchronous clique detection algorithm, and optimal channel selection method. The factors that influence the synchronization precision are summarized. On this basis, this paper proposes an IP core for the time synchronization algorithm, and describes the construction of a modular simulation platform based on SystemVerilog. The platform is used for RTL-level simulation of the synchronization algorithm. Experimental results verify the correctness of the synchronization algorithm, and show that the synchronization precision is within microseconds, which meets the requirements of the next-generation safety-critical applications.

**[Key words]** AS6802 protocol; Time-Triggered Ethernet (TTE); time synchronization; time series preservation algorithm; centralized control algorithm; clique detection; modular simulation

DOI: 10.19678/j.issn.1000-3428.0056573

### 0 概述

目前,航空电子技术正朝着分布式综合模块化体系架构(Distributed Integrated Modular Architecture, DIMA)和标准化的方向发展,其复杂度日益增加,机载信息量、综合化程度不断提高,这对通信网络的实时性和容错性等提出了更高的要求,尤其是在安全关键和任务关键的应用领域。当前,应用在航电系统的总线均基于事件触发网络,如 AFDX(Avionics Full Duplex

Switched Ethernet)<sup>[1]</sup>。AFDX 网络作为航电系统的骨干网络,已经得到广泛应用,其采用速率限制(Rate-Constrained, RC)数据流传输,虽然保证了通信具备一定的确定性,但是其抖动时延为百微秒级,仍无法满足安全关键任务的时延需求<sup>[2]</sup>。

时间触发网络(Time-Triggered Ethernet, TTE)<sup>[3]</sup>是在 IEEE 802.3 以太网基础上实现的实时网络协议,其融合了时间触发<sup>[4]</sup>、速率限制<sup>[5]</sup>和普通以太网数据流等混合流量机制,引入透明时钟<sup>[6]</sup>和时间同

基金项目:国家部委基金。

作者简介:何向栋(1985—),男,高级工程师,主研方向为机载网络通信;孙靖国、陈长胜,研究员;王建宇,高级工程师;贾世伟,工程师。

收稿日期:2019-11-12 修回日期:2019-12-27 E-mail: dongxianghe@163.com

步<sup>[7]</sup>的概念,提供了严格的时间确定性与极好的容错性能<sup>[8]</sup>,成为DIMA<sup>[9]</sup>航电系统体系架构<sup>[10]</sup>的骨干通信网络<sup>[11]</sup>。时间同步和时间触发通信机制的引入<sup>[12]</sup>,增强了系统的时间确定性,提高了实时服务质量和错误隔离能力,其适用于高安全关键应用领域。TTE已在火星项目“猎户座Orion”中得到洛克希德·马丁、Honeywell、西科斯基飞机以及通用电气等公司的应用支持,特别地,奥地利的TTTech公司已经推出了多款具有商业价值的TTE产品。目前,国内高校及科研院所尚处于算法理论研究阶段,多数就TTE网络的相关算法<sup>[13]</sup>或某一特性进行分析与研究<sup>[14]</sup>,尚未见成熟产品面市。

本文分析SAE AS6802协议,分别对时间同步角色、时序保持算法、集中控制算法及同/异步派系检测等关键技术进行研究,设计实现时间同步算法IP核,搭建基于SystemVerilog的模块化仿真平台,以验证时间同步算法的正确性。

## 1 时间触发协议分析

SAE AS6802协议对时间触发网络中最重要的全局时间同步算法进行研究,而并未对传输物理特性、3种业务流量通信调度(时间触发、速率限制和普通以太网数据流)及网络节点架构等作出说明。从广义的角度而言,SAE AS6802协议可以将时间同步算法拓展到其他任何通信网络中。

### 1.1 算法研究

时间同步功能主要通过协议控制帧(Protocol Control Frame, PCF)实现,帧内容主要包括如下关键参数:整合周期(Integration Cycle),成员向量(Membership New),同步优先级(Sync Priority),同步域(Sync Domain),帧类型(Type),透明时钟(Transparent Clock)等。时间同步的关键点在于静态的时间计算配置、PCF帧通信交互及多种算法实现,同步流程如图1所示。

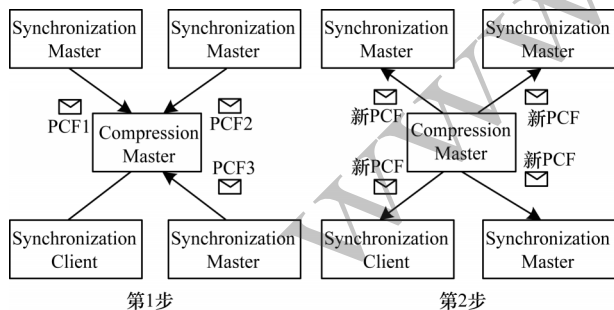


图1 时间同步流程

Fig.1 Time synchronization process

时间同步流程具体如下:

1) 同步控制器(Synchronization Master, SM)向集中控制器(Compression Master, CM)发送PCF。在集中控制器CM收到与之相连的各链路上不同的

PCF帧(PCF1~PCF3)之后,对接收到的PCF帧进行时序保持,即保证PCF帧的接收顺序与其发送顺序相同,然后根据接收到的PCF帧携带的信息、到达时间以及全局时钟同步协议执行集中控制算法。

2) 将第1步的计算结果写入一个新的全局统一的PCF帧(New PCF)中,发向时间触发网络中的各个构件,包括同步客户(Synchronization Client, SC)和同步控制器SM。网络中的各个构件收到由集中控制器CM发回的PCF之后,根据PCF帧所携带的信息校正自己的本地时钟从而实现全局同步。

#### 1.1.1 时序保持算法

时序保持算法<sup>[15]</sup>通过PCF帧中的透明时钟和最大传输延迟,恢复各个SM的真实时间先后顺序。其中,透明时钟 $T_{transparent\_clock}$ 记录了PCF帧在传输过程中的时间消耗,包括发送延迟 $T_{send\_delay}$ 、链路延迟 $T_{wire\_delay}$ 、转发延迟 $T_{relay\_delay}$ 和接收延迟 $T_{receive\_delay}$ ,如式(1)所示:

$$T_{transparent\_clock} = T_{send\_delay} + T_{wire\_delay} + T_{relay\_delay} + T_{receive\_delay} \quad (1)$$

最大传输延迟 $T_{max\_transmission\_delay}$ 是指整个网络系统中任意2个节点之间的最大延时,其为一个离线得到的通信配置值,在网络拓扑确定后,该值也随之确定,如式(2)所示:

$$T_{max\_transmission\_delay} = T_{max}(transparent\_clock) \quad (2)$$

网络拓扑、网络节点角色、链路长度以及链路速率等变化,造成各个节点到达目标节点SM或者CM的先后顺序与实际发送顺序不一致,时序保持算法将恢复其原来的真实序列,如式(3)所示:

$$PT_{permanence\_pit} = PT_{receive\_pit} + T_{max\_transmission\_delay} - T_{pcf\_transparent\_clock} \quad (3)$$

其中,PT(Point of Time)表示时刻, $PT_{permanence\_pit}$ 表示时序保持点, $PT_{receive\_pit}$ 表示接收节点的接收时刻。

式(3)将接收的PCF帧延迟到最大传输延迟时刻。由于透明时钟不同,因此将各PCF帧延迟至最大传输延迟时刻即正确恢复了各个发送节点的时间先后顺序。

#### 1.1.2 集中控制算法

时序保持算法排列出PCF帧的时间先后顺序,从而表征了各个SM节点的时间差值。各个SM的身份标识由PCF帧携带的成员向量确定。集中控制算法主要对时序保持算法的PCF帧进行集中收集、计算差值、求解差值平均值、修正时间并产生一个新的PCF帧,然后广播至各个SM或SC,进而实现全网的时间同步。集中控制算法主要包括3个阶段:收集阶段,计算阶段,延时阶段,具体如下:

##### 1) 收集阶段

一个协议控制帧PCF在到达时序保持点且当前该整合周期内没有其他集中控制算法正在收集PCF帧时,开启一个观察窗口(Observation Window, OW),OW的

大小一般设置为同步精度  $p(\text{precision})$ 。在收集阶段持续保持对 PCF 帧的收集,如果每个 OW 都有 PCF 帧被收集,则开启一个新的窗口,继续收集 PCF 帧。当开启的 OW 窗口数为  $f+1$  ( $f$  为系统容错的设定值),或者新开启的 OW 窗口内无 PCF 帧时,进入计算阶段。值得注意的是,每个集中控制算法中收集的 PCF 帧必须在同一个同步域、同一个整合周期、高于或等于第一个 PCF 帧的同步优先级,否则,重新开启另一个集中控制算法。

## 2) 计算阶段

根据收集阶段采集的 PCF 帧与第一个接收 PCF 帧的接收时钟差值计算一个均衡值,计算时通过所收集 PCF 帧的数目来确定计算规则,具体计算方法如式(4)所示:

$$\Delta t = \begin{cases} 0, n=1 \\ \frac{t_1 + t_2}{2}, n=2 \\ t_2, n=3 \\ \frac{t_2 + t_3}{2}, n=4 \\ \frac{t_2 + t_4}{2}, n=5 \\ \frac{t_{\max}^{th} - t_{\min}^{th}}{2}, n>5 \end{cases} \quad (4)$$

其中,  $n$  表示收集阶段的 PCF 帧个数,  $t_n$  表示第  $n$  个 PCF 帧与第一个 PCF 帧的时钟差值,  $t_{\max}^{th}$  和  $t_{\min}^{th}$  分别表示  $n$  个时钟差值中的第  $k$  大值和第  $k$  小值。

## 3) 延时阶段

式(4)中的  $\Delta t$  即为各个 SM 的时钟偏差均衡值,也即延时阶段的延时值。时钟差值的不同和所收集 PCF 帧数的不同,导致延时值不一致、CM 的实际集中时间点  $cm\_compressed\_pit$  与预计时间点  $cm\_scheduled\_pit$  不一致以及时钟差值不一致。

### 1.1.3 时钟纠正

时钟纠正首先需要计算时钟差值。TTE 的时钟差值等于离线计算的预计接收点与实际接收点的差值。对于同步集中器 CM 而言,  $clock\_corr$  的  $\Delta T$  计算如下:

$$\Delta T_{clock\_corr} = PT_{cm\_compressed\_pit} - PT_{cm\_scheduled\_pit} \quad (5)$$

对于同步控制器 SM 和同步客户端 SC 而言,  $clock\_corr$  的  $\Delta T$  计算如下:

$$\Delta T_{clock\_corr} = PT_{smc\_scheduled\_pit} - PT_{smc\_permanence\_pit} \quad (6)$$

其中,  $smc\_scheduled\_pit$  为 SM/SC 的预计时间点,  $smc\_permanence\_pit$  为实际时序保持点。

在本地时钟上直接进行时钟差值修正,如下:

$$PT_{local\_clock} = PT_{local\_clock} + \Delta T_{clock\_corr} \quad (7)$$

### 1.1.4 派系检测

在同步通信过程中,在同一同步域内出现某些

子同步派系,此时将不能进行全域同步。为解决该问题,需要对派系进行检测。派系检测可分为同步派系检测、异步派系检测和相对派系检测3种方式。

同步派系检测是指在 SM/CM/SC 的同步派系评估时刻  $sync\_eval\_pit$ ,判定在当前整合周期内且落在接收窗口内的成员向量个数  $local\_sync\_membership$  与设定的阈值  $sync\_threshold\_sync$  之间的关系,若  $local\_sync\_membership < sync\_threshold\_sync$ ,则同步派系检测成功;否则,检测失败。

异步派系检测是指在 SM/CM/SC 的异步派系评估时刻  $async\_eval\_pit$ ,判定不在本整合周期内且落在接收窗口之外的成员向量个数  $local\_async\_membership$  与设定的阈值  $sync\_threshold\_async$  之间的关系,若  $local\_async\_membership > sync\_threshold\_async$ ,则异步派系检测成功;否则,检测失败。

相对派系检测是指在 SM 异步派系评估时刻  $async\_eval\_pit$ ,判定同步派系值  $local\_sync\_membership$  与异步派系值  $local\_async\_membership$  之间的关系,若  $local\_sync\_membership \leq local\_async\_membership$ ,则相对派系检测成功;否则,检测失败。

上述3种派系检测算法对同步子集合进行实时检测,当3种派系检测算法均检测成功时,网络构件进入失同步状态。若要再次进行同步,则需要重新进入冷启动握手或侦听 IN 帧阶段,然后进入新的时间同步周期进行操作。

### 1.1.5 通道择优

在具体的网络拓扑中,网络规模、配置角色和冗余设计等不同,导致存在多个可同时满足同步需求的 PCF 帧,此时需要选择最优通道的 PCF 帧作为最优 PCF 帧进行同步,择优计算具体如下:

$$PCF_{best} = \max_{permanence\_pit} \left( \max_{pcf\_membership\_new} (PCF) \right) \quad (8)$$

在式(8)中,择优标准为:在接收的 PCF 帧中,选择成员向量个数最大且时序保持时刻最近的 PCF 帧。

## 1.2 同步 IP 核设计实现

依据上述 SAE AS6802 协议的算法研究和协议中第9章“启动与重启服务”内容,本文设计 SAE AS6802 时间同步 IP 核,如图2所示。

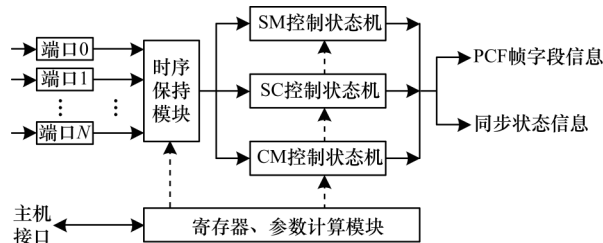


图2 同步 IP 核结构

Fig.2 Synchronous IP core structure



时间同步IP核中的各个模块功能具体如下:

1) 端口0~端口N: 端口对接收到的帧数据进行分析, 解析出PCF帧字段, 包括同步域、同步优先级、透明时钟、帧类型、成员向量和整合周期等, 同时记录接收时刻。

2) 时序保持模块: 对接收的PCF帧进行时序保持计算, 在达到时序保持时刻时上报至SM/SC/CM控制状态机。

3) SM控制状态机: 依据AS6802协议的第9章内容实现SM的同步状态机。

4) SC控制状态机: 依据AS6802协议的第9章内容实现SC的同步状态机。

5) CM控制状态机: 依据AS6802协议的第9章内容实现CM的同步状态机, 其包括普通完整性CM状态机和高完整性CM状态机。

6) 寄存器、参数计算模块: 主要实现参数配置和计算功能。参数配置主要包括接收/发送延时、同步阈值、容错系数 $f$ 、整合周期个数、最大传输延迟、同步域、优先级、同步精度、派发延迟和超时等参数。计算功能主要结合上述配置参数进行接收时刻、发送时刻、纠正时刻、派系评估时刻等计算。

时间同步IP核输出同步时钟和同步状态以及发送PCF帧信息, 此IP核在工作时只能作为SM、SC或CM中的一种同步角色。本文设计的时间同步IP核完全满足SAE AS6802协议的设计要求, 独立于物理传输协议, 可适用于基于IEEE 802.3、FC、总线等底层通信协议。

### 1.3 同步因素

基于SAE AS6802的时间同步算法的同步精度虽然相对于现有时间同步算法PTP<sup>[16]</sup>、DTP、NTP等有较大提高, 但在实际应用中, 仍存在限制其同步精度提升的因素, 主要包括时钟精度及漂移<sup>[17]</sup>、同步周期频率和透明参数准确度。

#### 1.3.1 时钟精度及漂移

在实际的通信网络中, 各个网络构件(交换机或端系统)的本地时钟(如晶振)精度值不一致, 且与真实的时钟相比存在一定的偏差, 即时钟漂移<sup>[18]</sup>, 这两者是各个网络构件间时间同步精度不同的重要影响因素。

假设网络中2个构件的本地晶振频率分别为 $F_a$  MHz和 $F_b$  MHz, 本地晶振的时钟偏移采用ppm(part per million)作为衡量, 2个构件的本地晶振时钟偏移分别表示为 $P_a$ 和 $P_b$ 。假设一个同步整合周期为 $T_{in}$  s, 则在一个整合周期内, 网络构件A的最大偏移为 $\frac{P_a \cdot T_{in}}{1 \times 10^6}$ , 网络构件B的最大偏移为 $\frac{P_b \cdot T_{in}}{1 \times 10^6}$ , 则2个网络构件之间的最大时钟差值 $\Delta T_{clk}$ 为两者之间的正负偏

移之和, 如下:

$$\Delta T_{clk} = \frac{P_a \cdot T_{in}}{1 \times 10^6} + \frac{P_b \cdot T_{in}}{1 \times 10^6} \quad (9)$$

在式(9)中, 假设 $P_a$ 为100 ppm,  $P_b$ 为50 ppm,  $T_{in}$ 为0.01 s, 则2个网络构件在一个整合周期0.01 s内的固有最大时钟偏差为1.5  $\mu$ s。因此, 对于高安全关键应用领域, 其网络构件的本地时钟应选择高品质的时钟晶振。

#### 1.3.2 同步周期频率

从式(9)可以看出, 基于SAE AS6802协议的同步精度与整合周期<sup>[19]</sup>也紧密相关。在整合周期为0.01 s时, 其固有时钟偏差为1.5  $\mu$ s; 在整合周期为0.1 s时, 其固有时钟偏差为15  $\mu$ s。因此, 整合周期越小, 同步周期频率越快, 时间同步精度越高, 同步精度与同步周期频率之间成正比关系, 如式(10)所示:

$$\Delta T_{precision} = \frac{1}{T_{in}} \cdot \varepsilon \quad (10)$$

其中,  $\Delta T_{precision}$ 表示同步精度,  $\varepsilon$ 表示正比系数, 该系数与具体的网络特性相关,  $\frac{1}{T_{in}}$ 表示同步周期频率。

在同步网络中, 同步周期频率越快, 同步精度越高, 但同时由同步带来的带宽开销也随之增加。因此, 网络系统设计者需要综合任务关键程度、带宽、网络规模和角色分配等多种因素来决定整个网络的同步周期频率。

#### 1.3.3 透明参数准确度

同步算法依据大量的透明时钟参数进行计算, 包括发送延迟、转发延迟、接收延迟和线延迟等参数, 这些参数的准确度同样决定了网络静态配置时刻的准确度。

如果透明参数的记录或计算与静态配置的计算之间误差偏大, 如动态的发送或转发延迟, 其随物理端口处竞争带宽而动态变化, 则实际时刻与静态配置时刻就存在设计上的同步时间误差, 从而导致时间同步精度降低。因此, 对透明时钟进行准确记录也是提高时间同步精度的重要因素。

## 2 模块化仿真平台设计

考虑到时间同步算法的复杂度以及存在同步角色、网络拓扑、冗余架构以及网络速率等不同的复杂应用场景, 需要搭建合理且易用的模块化仿真测试环境, 以验证满足SAE AS6802协议的时间同步IP核的正确性。

### 2.1 测试需求

在复杂的同步测试场景以及存在各种同步因素的实际应用中, 测试需求如表1所示。

表1 测试需求

Table 1 Test requirements

序号	测试类别	测试项	测试描述
1	参数测试	整合周期	a. 不同整合周期的PCF同时出现 b. 不同整合周期个数下的同步
2		容错值 $f$	容忍不同故障个数 $f$
3		最大/最小 $K$ 值	最大/最小 $K$ 值对同步的影响
4		线缆长度	不同线缆长度
5		网络速率	a. 同一网络速率下的同步 b. 混合不同网络速率下的同步
6		最大传输延时	配置不同最大传输延时的同步
7		成员向量	随机的成员向量数量
8		同步域	a. 同一同步域的同步 b. 混合同步域的同步
9		同步优先级	a. 同一同步优先级的同步 b. 混合同步优先级的同步
10		起始周期	同步握手阶段不同的起始周期
11		同步角色	SM/SC/CM的不同角色
12	拓扑测试	拓扑架构	a. 冗余单跳、冗余多跳 b. 非冗余单跳、非冗余多跳
13		拓扑数量	SM、SC和CM的数量
14	故障注入	上电/断电/重启等特殊场景	a. 同时上电 b. 随机上电
15		断电	a. 上电过程中随机断电 b. 稳定中随机断电
16		重启	随时重启(不同角色)
17		整合周期	
18	故障注入	同步域	
19		优先级	故障注入主要针对PCF帧格式,在不同时机修改不同的PCF帧内容,然后进行故障注入,测试同步状态
20		透明时钟	
21		帧类型	
22		成员向量	
23		注入时机	

## 2.2 模块设计

面对复杂的测试要求,本文仿真测试平台设计采用面向对象的硬件验证语言(Hard-ware Verification Language, HVL)SystemVerilog,其具有接口、断言、受约束的随机化激励等特点,能够大幅提高测试效率,且具有较高的功能测试覆盖率。

为了对时间同步IP核进行仿真测试,本文搭建的测试平台主要包括时钟模拟模块、发送/链路/接收模块、故障节点模拟模块以及配置IP核模块等。

### 2.2.1 时钟模拟模块设计

网络构件的本地时钟精度和时钟偏移是时间同步精度的重要影响因素,鉴于各个本地晶振品质<sup>[20]</sup>

的不同,为了测试真实通信环境,需要建立一个本地时钟模拟模块,如图3所示。

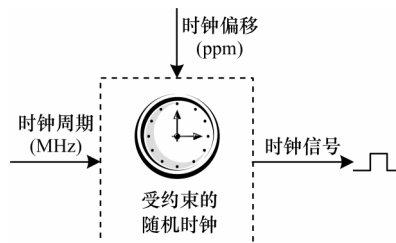


图3 受约束的随机时钟示意图

Fig.3 Schematic diagram of constrained random clock

在图3中,时钟晶振品质以时钟周期(单位为MHz)为基本周期值,以时钟偏移(ppm)为约束条件,模拟产生不同的网络构件本地时钟。

### 2.2.2 发送/链路/接收模块设计

发送/链路/接收模块主要模拟PCF帧的传输过程。其中,发送指PCF帧在链路层、物理层及变压器中的发送过程,链路指PCF帧在物理媒介中的传输过程,接收指PCF帧在变压器、物理层和链路层的接收过程。发送/链路/接收模块如图4所示。

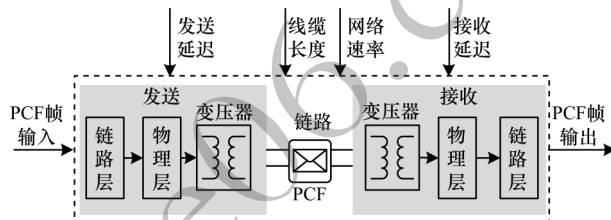


图4 发送/链路/接收模块示意图

Fig.4 Schematic diagram of transmit/link/receive module

在图4中,发送/链路/接收模块主要实现PCF帧的传输延迟,即PCF帧在SM或CM产生之后进行一个发送延迟、线延迟和接收延迟,再进入接收时间同步IP核中。其中,发送延迟和接收延迟与具体的链路层/物理层设计相关,可查看相关器件手册获取。线延迟 $T_{\text{wire\_delay}}$ 计算公式如下:

$$T_{\text{wire\_delay}} \approx L_{\text{link\_length}[m]} \times \frac{1}{3 \times 10^8 \times \left[ \frac{m}{\text{sec}} \right] \times \frac{2}{3}} \quad (11)$$

其中, $L_{\text{link\_length}}$ 为线缆长度, $\frac{m}{\text{sec}}$ 为传输速率。

值得注意的是,在同一网络中,可以存在多种不同的网络传输速率、线缆长度及发送/接收延迟,这样更能模拟真实的网络环境。

### 2.2.3 故障节点模拟模块设计

故障节点模拟主要针对PCF帧进行模拟,其目的是受约束地随机生成一个PCF帧类型,随机化的内容主要包括整合周期、成员向量、同步优先级、同步域、帧类型、透明时钟等,并在受约束的注入时机控制下进入网络拓扑中。

### 2.2.4 模块化平台设计

本文结合仿真模块和时间同步IP核设计,搭建

典型的模块化仿真平台,如图5所示,其同时仿真测试时间同步IP核的SM、SC和CM功能。

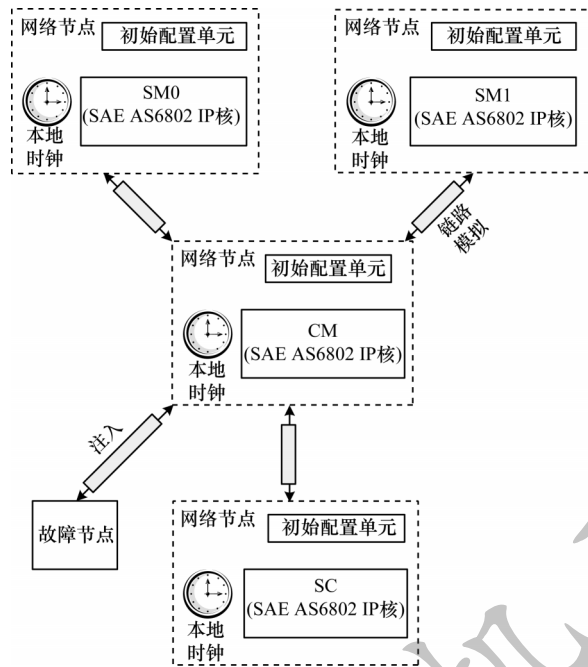


图5 模块化仿真平台设计示意图

Fig.5 Schematic diagram of modular simulation platform design

在图5中,首先由本地时钟模拟模块、初始配置单元(主要作用为初始化配置时间同步IP核的基本参数)和时间同步IP核等组成网络节点,网络节点由发送/链路/接收模块互联,故障节点实现PCF帧的故障注入,以查看同步运行的稳定性。

从图5可以看出,该仿真测试平台具有灵活的可配置性,可根据表1的测试需求组合搭建不同规模数量的网络拓扑,从而提高测试效率和功能覆盖率。

### 3 仿真测试

对时间同步IP核的基本功能进行仿真测试,仿真拓扑如图5所示,基本通信参数设置如下:整合周期为2 ms,最大传输延迟为500  $\mu$ s,时间同步精度为1  $\mu$ s,整合周期个数为5,线缆长度为10 m,传输速率为1 Gb/s,仿真结果如图6所示。

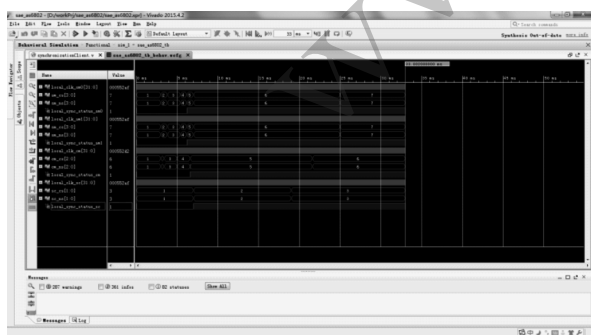


图6 时间同步仿真结果

Fig.6 Time synchronization simulation result

同步精度结果如图7所示,图中分别对SM0与SM1、SM与SC、SM与CM的时钟差值进行比较,均差值约为150 ns,最差精度在300 ns以内,满足时间同步精度1  $\mu$ s的设计要求。

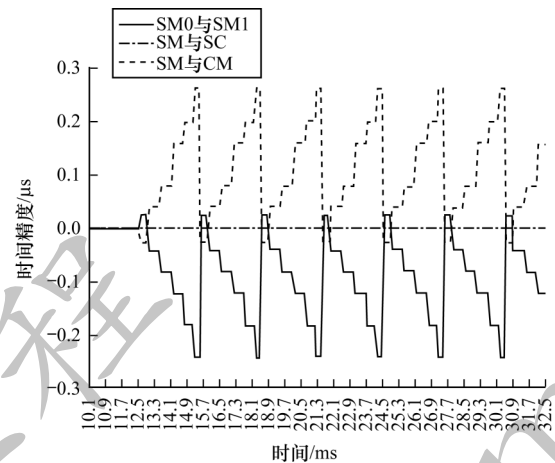


图7 同步精度结果

Fig.7 Synchronization accuracy result

从图7可以看出,同步角色SM、SC和CM状态机满足SAE AS6802协议第9章内容要求,结合同步输出状态local\_sync\_status\_sm0/sm1/cm/sc和时钟值local\_clk\_sm0/sm1/cm/sc进行分析得出,SM、SC和CM同步工作稳定,同步精度达到300 ns以内,验证了本文时间同步IP核功能正确。

### 4 结束语

本文对时间触发网络TTE协议进行分析,研究时间同步算法技术、时间同步流程、同步角色、时序保持算法、集中控制算法、时钟纠正算法以及同/异步派系检测,设计实现时间同步IP核,并从测试角度出发,构建多参数、多复杂场景下的模块化仿真验证平台。仿真结果表明,该时间同步IP核的时间同步精度可以达到亚微秒级,且具有较高的鲁棒性。为了进一步分析时间同步IP核的同步性能,后续将在不同同步域、多种业务数据流混合的通信环境中进行研究,以提升该IP核在机载网络通信中的健壮性。

### 参考文献

- [1] ARINC Specification 664P7. ARINC664 aircraft data network, part 7: Avionics Full Duplex Switched Ethernet (AFDX) network[EB/OL]. [2019-10-10]. [https://www.xilinx.com/support/documentation/application\\_notes/xapp1130.pdf](https://www.xilinx.com/support/documentation/application_notes/xapp1130.pdf).
- [2] ZHANG Wei, JIANG Letian, LUO Zexiong. Network technology research and design based on time-triggered architecture[J]. Avionics Technology, 2017, 48(2): 44-49. (in Chinese)  
张巍,蒋乐天,罗泽雄. 基于时间触发架构的网络技术研究与设计[J]. 航空电子技术, 2017, 48(2): 44-49.



- [3] SAE AS6802. Time-triggered Ethernet[EB/OL]. [2019-10-10]. <https://www.tttech.com/technologies/time-triggered-ethernet/>.
- [4] XU Qianshun, HUA Gengxin. Research on TTE clock synchronization algorithm based on space application[J]. Computer Measurement and Control, 2018, 26(7): 271-275, 281. (in Chinese)  
徐乾舜, 华更新. 基于空间应用的TTE时钟同步算法研究[J]. 计算机测量与控制, 2018, 26(7): 271-275, 281.
- [5] LUO Zexiong, ZHAN Yuhang, TAN Yongliang. TTE end system-based clock synchronization design and implementation[J]. Avionics Technology, 2016, 47(3): 30-35. (in Chinese)  
罗泽雄, 詹于杭, 谭永亮. 基于TTE端系统的时钟同步设计与实现[J]. 航空电子技术, 2016, 47(3): 30-35.
- [6] LI Q, RUS D. Global clock synchronization in sensor networks[J]. IEEE Transactions on Computers, 2006, 55(2): 214-226.
- [7] LIU Wanchun, LI Qiao, HE Feng, et al. Research on time-triggered-Ethernet synchronization and scheduling mechanism[J]. Aeronautical Computing Technique, 2011, 41(4): 122-127. (in Chinese)  
刘晚春, 李峭, 何锋, 等. 时间触发以太网同步及调度机制的研究[J]. 航空计算技术, 2011, 41(4): 122-127.
- [8] TANG Xueqian, LI Qiao, KONG Yunwen, et al. Formal verification of Byzantine fault-tolerant method in time-triggered Ethernet[J]. Manned Spaceflight, 2018, 24(2): 273-278. (in Chinese)  
汤雪乾, 李峭, 孔韵雯, 等. 时间触发以太网拜占庭容错方法的形式化验证[J]. 载人航天, 2018, 24(2): 273-278.
- [9] WANG Hongchun, QU Jing, NIU Wensheng. Network topology optimization based on time-triggered DIMA[J]. Journal of Northwestern Polytechnical University, 2018, 36(6): 1224-1231. (in Chinese)  
王红春, 屈静, 牛文生. 基于时间触发DIMA架构的网络拓扑优化[J]. 西北工业大学学报, 2018, 36(6): 1224-1231.
- [10] TANG Yu, LI Qiao, JIA Qiming. Load balance allocation method for distributed tasks in time-triggered Ethernet[J]. Computer Engineering and Design, 2014, 35(5): 1501-1505. (in Chinese)  
汤宇, 李峭, 贾琪明. 时间触发以太网的分布式任务负载均衡分配方法[J]. 计算机工程与设计, 2014, 35(5): 1501-1505.
- [11] ZHANG Yingjing, XIONG Huagang, LIU Zhidan, et al. Application of TTE communication technology in avionics system[J]. Electronics Optics and Control, 2015, 22(5): 49-53. (in Chinese)  
张英静, 熊华钢, 刘志丹, 等. 可用于航空电子系统的时间触发以太网[J]. 电光与控制, 2015, 22(5): 49-53.
- [12] DONG Jinwu. Time triggered Ethernet accelerating avionics interconnection[J]. Electronics Optics and Control, 2016, 23(2): 74-78. (in Chinese)  
董进武. 时间触发以太网加速航电互联[J]. 电光与控制, 2016, 23(2): 74-78.
- [13] LIU Shuai, ZHANG Ximin, HE Xiang, et al. Method of partition synchronization in distributed system based on time triggered Ethernet[J]. Aeronautical Computing Technique, 2014, 44(1): 131-134. (in Chinese)  
刘帅, 张喜民, 何翔, 等. 基于TTE网络的分布式系统分区同步方法[J]. 航空计算技术, 2014, 44(1): 131-134.
- [14] HONG Fujiang, ZENG Peng, ZHANG Xiaoling, et al. Survey on time synchronization in wireless sensor network[J]. Computer Engineering, 2011, 37(22): 70-73. (in Chinese)  
汪付强, 曾鹏, 张晓玲, 等. 无线传感器网络时间同步综述[J]. 计算机工程, 2011, 37(22): 70-73.
- [15] HUANG Tao, CHEN Changsheng. TTE synchronization protocol key algorithm and simulation analysis[J]. Journal of University of Electronic Science and Technology of China, 2014(3): 437-442. (in Chinese)  
黄韬, 陈长胜. TTE时间同步协议关键算法研究和仿真分析[J]. 电子科技大学学报, 2014(3): 437-442.
- [16] EIDSON J, LEE K. IEEE 1588 standard for a precision clock synchronization protocol for networked measurement and control systems[C]//Proceedings of the 2nd ISA/IEEE Sensors for Industry Conference. Washington D. C., USA: IEEE Press, 2002: 98-105.
- [17] XU W, YANG G Y. Implementation of the IEEE 1588 precision time protocol based on FPGA[C]//Proceedings of 2011 International Conference on Electrical and Control Engineering. Washington D. C., USA: IEEE Press, 2011: 123-156.
- [18] YANG Junxiong, XU Yajun, HE Feng, et al. Research on influence of clock synchronization accuracy to TTE real-time performance[J]. Electronics Optics and Control, 2016, 23(8): 33-38. (in Chinese)  
杨俊雄, 徐亚军, 何锋, 等. 时钟同步精度对TTE实时性影响研究[J]. 电光与控制, 2016, 23(8): 33-38.
- [19] WANG Yijun, QIAN Zhihong, WANG Guiqin, et al. Research on energy-efficient time synchronization algorithm for wireless sensor networks[J]. Journal of Electronics and Information Technology, 2012, 34(9): 2174-2179. (in Chinese)  
王义君, 钱志鸿, 王桂琴, 等. 无线传感器网络能量有效时间同步算法研究[J]. 电子与信息学报, 2012, 34(9): 2174-2179.
- [20] WANG Xuefang, ZHANG Honghai. Research of parameters affecting Q of the quartz resonator[J]. Journal of Huazhong University of Science and Technology (Natural Science Edition), 2001, 29(12): 12-13. (in Chinese)  
汪学方, 张鸿海. 影响石英晶振器品质因素的特征参数的研究[J]. 华中科技大学学报(自然科学版), 2001, 29(12): 12-13.