

SRIO 设备互操作性测试流程及平台构建

秦 明, 雷 刚, 闫海峰

(飞行自动控制研究所电子与软件工程部, 西安 710065)

摘 要: 为实现串行 RapidIO(SRIO)高速总线测试方法, 分析 SRIO 设备互操作性测试的基本原理和测试流程, 研究官方提供的测试案例技术细节。介绍测试的软硬件平台, 讨论用户自行开发平台时需要考虑的问题。根据理论分析, 采用相关软件进行测试实验。结果验证了该思路的可行性, 为建立更加完整的 SRIO 测试方法提供保障。

关键词: 高速总线; 串行 RapidIO; 互操作性测试; 交换芯片; 互连节点

Procedures and Platform Construction of Device Interoperability Test for SRIO

QIN Ming, LEI Gang, YAN Hai-feng

(Department of Electronics and Software Engineering, Flight Automatic Control Research Institute, Xi'an 710065, China)

【Abstract】 This paper focuses on the basic test method and test procedures in Serial RapidIO(SRIO) device interoperability test. With the test report from RIOLAB as an example, the test procedures, test targets and other related technical questions are specifically explained and analyzed. After introducing the software and hardware platforms, it discusses what is valuable for designers to build their own projects. With the help of all the analysis above, a simple test is taken to prove the feasibility of the test method, in order to support and prepare for constructing more complete test method.

【Key words】 high-speed bus; Serial RapidIO(SRIO); interoperability test; switch chip; interconnected endpoints

DOI: 10.3969/j.issn.1000-3428.2012.21.068

1 概述

串行 RapidIO(SRIO)技术的迅速推广和发展导致 SRIO 设备有效性评估和测试的需求成为该行业不可阻挡的趋势。构建一套完整、可靠、有针对性的测试方案对 SRIO 技术的工程应用具有至关重要的意义。

除了通过信号完整性等电气方面的特性来判断该总线应用的可靠性之外, 目前最值得关注的是针对协议的测试技术——互操作性测试。互操作性测试体系包括 3 个级别^[1]: 第 1 级, 设备互操作级(Device Interoperability Level, DIL); 第 2 级, 协议符合级(Specification Compliance Level, SCL); 最高级, 认证级(Certificate Level)。

测试的条款主要来自于 RapidIO 贸易协会(RapidIO Trade Association)制定的《设备互操作性测试以及协议符合性测试检查清单 Rev.1.1》^[2]。目前, 除了受到测试条件和实验设备的限制及其他更高级别测试的严苛要求, 业内主要进行互操作级测试。IDT、Tundra、Altera 等大型芯片厂商纷纷通过互操作性测试验证和评估其 SRIO 设备。在我国, 相关技术还有待发展。

本文通过测试案例分析互操作性测试的设备、流程、

对象及验证方法。

2 互操作性测试的对象和流程

对于不同的测试对象, 同一等级的测试软硬件配置及测试方法会存在一定的差别, 因此, 需要进一步了解各种情况的差别, 以便让用户可以根据自身需要合理地使用。

SRIO 的互连技术围绕节点(endpoint)和交换芯片(switch chip)2 个主要元素展开^[3]。设备互操作性测试表明该测试是用于评估多个设备之间事务性能的^[4]。endpoint 可以包含数字信号处理器(Digital Signal Processor, DSP)、PowerPC、现场可编程门阵列(Field Programmable Gate Array, FPGA)等设备。接受测试的对象, 即被测设备(DUT)可以是节点或交换芯片, 将 DUT 及涉及到的其他设备互连, 即可构成所需要的测试平台。

AMCC 公司针对 PowerPC 460GT Processor Revision: 1.0 进行了 DIL1 测试, 本文以此为例具体分析该测试的对象和流程。测试平台的相关信息如下:

软件: RapidFETrevision: 2.8.2, RapidIO Driver revision: 2.8.2。

基金项目: 航空科学基金资助项目(20090818003)

作者简介: 秦 明(1984—), 男, 硕士, 主研方向: 航空计算机总线技术; 雷 刚、闫海峰, 研究员

收稿日期: 2011-12-15 **修回日期:** 2012-03-01 **E-mail:** qinming84@yahoo.com.cn

硬件：测试中用到的设备及印制板如表 1 所示，数据 摘自《DIL1 AMCC 460GT Test Report》^[5]。

表 1 AMCC 的 DIL1 测试中所涉及的硬件

元器件					印制板		
Manufacture	Name	部件	版本	制造商	PWB	ASSY	S/N
TI	6455	TMX320C6455ZTZ	1.0	AMC	508631-0001 Rev B	508631-0001 Rev B.4	06/04-B291
TI	6455	TMX320C6455ZTZ	1.0	AMC	508631-0001 Rev C	508631-0001 Rev C	06/01-B778
TI	6482	TMS320TCI6482ZTZ	1.0	AMC	508631-0001 Rev C	508631-0001 Rev E	07/02-A052
FreeScale	8548	MPC8548	1.1	AMC	Rev1.0	Mod Lvl4	S020610063
FreeScale	8548	MPC8548	1.1	AMC	Rev1.0	Mod Lvl4	S02061014
Tundra	578	Tsi578-10GCLYZ2	Z2	HIP	Rev1.1	M8SRDP-578 RevG	810060093
Tundra	578	Tsi578-10GCLYZ2	Z2	HIP	Rev1.1	M8SRDP-578 RevG	810060086
IDT	PPS	70K2000BR Z0710C	ZBB	HIP	Rev1.5	21-Feb-07	n/a
IDT	PPS	70K2000BR Z0710C	ZBB	HIP	Rev1.5	21-Feb-07	n/a

由表 1 可看到，参与测试的设备中，有交换芯片 Tsi578 及节点，即处理器 6455 和 8548。测试内容以各个设备与 DUT 之间的数据事务为主。

2.1 测试流程

2.1.1 发起事务

发起事务^[6]测试中需要验证节点间的基本 I/O 读写操作及针对目标节点的基本维护事务能否正确进行。其中，可以通过向已知的良好节点进行读事务来验证写事务是否成功。如 AMCC 进行的 DIL1 测试中的 Test1：6455 to DUT、Test3：8548 to DUT。

2.1.2 对事务的响应

对事务的响应包括 3 个方面：

(1)对节点：该测试需要验证若干节点能否对节点间基本 I/O 读写操作产生适当响应，将由测试目标读取的数据和写入测试目标的数据相比较，通过这种方式验证是否对读事务产生了有效的响应。

(2)对交换芯片：该测试需验证交换芯片是否能够正确向节点传递包及从节点接收包。

(3)对维护事务：要求验证进行枚举操作的每一个寄存器，以确保被测试的处理部件(Processing Element, PE)可以支持枚举操作，如针对 DestID、component tag 等寄存器 AMCC 进行的 DIL1 测试中的 Test7：6455 thru 578 to DUT、Test8：6455 thru PPS to DUT。

2.2 按照测试对象的分类

测试涉及的对象分为 2 种：交换芯片和对象节点，在 DIL 测试中，交换芯片主要是指 SRIO 总线交换芯片，而节点则包括 PowerPC、DSP 等其他设备。测试对象的主要差异在于，将哪个对象作为被测设备。根据测试流程的 2 个基本分类可以看出，发起事务主要针对节点进行，而在对事务响应中，节点和交换芯片共同参与。

(1)针对节点的测试。将节点作为 DUT 的测试中包含 3 个阶段：阶段 A，验证 DUT 可以响应所有可靠节点发起的事务；阶段 B，验证 DUT 可以穿过若干交换芯片，对所有可靠节点发起的事务产生响应；阶段 C，验证 DUT 是否有能力向若干节点或交换芯片发起事务。

(2)针对交换芯片的测试。将交换芯片作为 DUT 的测

试包括 2 个阶段：阶段 A，验证 DUT 可以响应所有可靠节点发起的事务；阶段 B，验证 DUT 可以穿过若干交换芯片，对所有可靠节点发起的事务产生响应。

通过图 1、图 2 可以更清晰地了解各个阶段测试的主要内容和目的。其中，箭头表示“发起事务”。

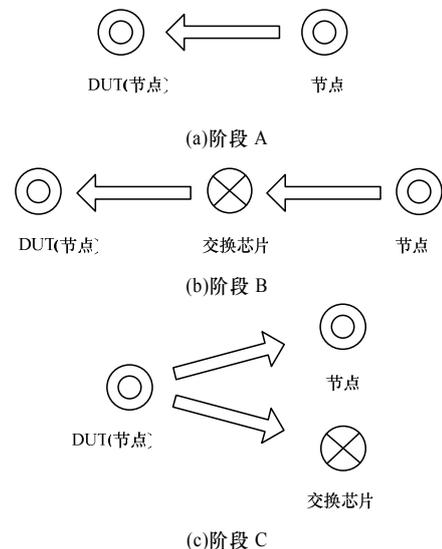


图 1 针对节点的测试

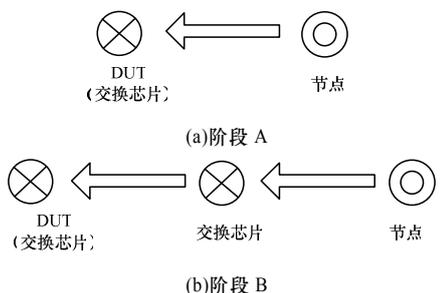


图 2 针对交换芯片的测试

从测试流图上看，交换芯片和节点分别充当了 DUT。值得注意的是，交换芯片无法进行发起事务的动作，因此，没有该阶段的测试。测试的详细过程是否存在更多差异有待进一步研究。

3 测试平台实现方法

3.1 硬件部分

前文中已经以 AMCC 公司的 DIL1 测试为例，论述了

参与测试的硬件情况。在此需要说明的是,无论是针对交换芯片或处理器等单独元器件,还是将整板作为一个节点来考量其板间的互连性能等,首要的任务是拥有一块能满足测试运行的测试板。以 AMCC 的实验为例,如果将测试对象选择为交换芯片,那么与其进行互操作的 DSP、FPGA,甚至 AMC 连接器的性能都应满足需求,如 DSP 的运算能力。

在 DIL1 中,RIOLAB 官方所推荐的 2 款测试板具有较好的参考价值。它们分别是 SSRP(Switchless Serial RapidIO Platform)和 SRDP(Serial RapidIO Development Platform)^[7],均由 STx 公司生产。SSRP 用于节点到节点的不经交换芯片的测试。在该平台上,可以通过 AMC、SMA 等接口将 Vertex-4、MPC8548、DSP6455 等节点互连,搭建测试环境。

SRDP 则是用于有 SRIO 交换芯片参与的测试。该平台支持 AMC、SMA、HMZD 等连接器。其他的交换芯片厂商可以参考该结构,选择性地更换芯片搭建平台。当然,针对不同的 SRIO 芯片和相关节点,甚至单板或系统产品,用户都可以自行设计测试板,或者利用该测试板设计板间互联的测试平台,例如,用户将自己开发的单板或系统与该测试板互连,拼接出更广义的节点,检测与其他系统之间的互操作性。这种思路是扩大“节点”的概念,以更加灵活的方式进行测试和评估。

3.2 软件部分

软件平台的建立思路与硬件平台相似。RIOLAB 官方意见给出了 2 种常用方案:

(1)通过 RapidFET JTAG 与 PC 互连,以 RapidFET Professional 作为主要的软件调试平台完成测试。其中,RapidFET 的 2 项产品都是针对 SRIO 的相关设计进行测试、配置和测试的软件,是专门为 SRIO 定制的。

(2)面向用户多元化的需求而提供的软件配置思路,该思路更适用于构建 SRIO 测试方法。详细配置如下:

- 1)Endpoint script interpreter;
- 2)DILx Test scripts IDxxx.txt;
- 3)PC, with Windows XP and a Telnet program.

官方提供了根据《RapidIO 互连协议设备互操作性以

及认证检查单》(以下简称《检查单》)的测试条款细化出的 DILx Test scripts,即测试脚本。这些脚本是由先前提到的针对 Amcc、Altera 等公司的产品进行测试之后自动生成的,具有将测试过程进行简要记录的作用。虽然它并不是可以直接执行的指令,如 C 语言,但是其中包含的测试思路具有相当重要的参考价值。

配置中的第 1 项为 Endpoint script interpreter,即节点脚本编译器,是完成测试的主要软件。可以将测试脚本直接作为输入,通过 Endpoint script interpreter 编译成节点可以识别的指令,脚本编译器不是确定的软件,可以由相应的节点销售方提供,或者采用 CCS 等通用的编译工具。测试目标和 PC 之间用常用的总线连接即可,如 Ethernet 或 USB。

4 测试方案及验证过程

不同于信号完整性测试等思路,SRIO 互操作性测试是针对 SRIO 总线基本协议的验证方法。因此,互操作性测试思路应该作为构建 SRIO 测试方法的主要构成部分,以基本协议这一硬性指标来验证和测试 SRIO 设备产品,从而更有效地保证 SRIO 技术的可靠性。根据先前关于互操作性测试的理论研究,现进行简要的测试实验,以验证该思路的可行性。

测试验证过程如下:

测试目标:SRIO 交换芯片的测试板,主要器件如下: Tsi578, FPGA Vertex5, DSP 6713。

测试硬件: FETJtag, Xilinx 下载电缆, PC。

测试软件: Rapid FET, ISE。

对硬件的设计和和生产、FPGA 逻辑编写等工作已经在前期完成。通过 Xilinx 线缆和 ISE 将器件配置逻辑下载到 FPGA 中,确认其高速串行收发器和用户逻辑可以正常工作后才能进行测试。

在单板启动时,使用 Rapid FET 可配置系统中的每个处理单元,编辑系统中任何位置的寄存器。该测试板所选择的交换芯片 Tsi578 共有 16 个端口,每个端口都有一个路由表。通过设置路由表,可以将拥有特定目的 ID 包路由到相应的端口,如图 3、图 4 所示。

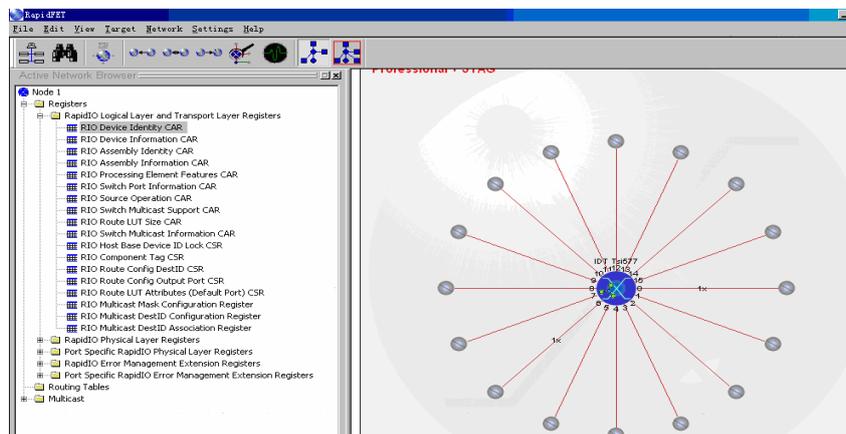


图 3 测试板节点网络

Node	Register Name	Maintenance Offset
Node 1	RIO Device Identity CAR= 0x0577000D	Maintenance Offset: 0x0
Node 1	RIO Device Information CAR= 0x00000000	Maintenance Offset: 0x4
Node 1	RIO Assembly Identity CAR= 0x0001000D	Maintenance Offset: 0x8
Node 1	RIO Assembly Information CAR= 0x00000100	Maintenance Offset: 0xC
Node 1	RIO Processing Element Features CAR= 0x1000051F	Maintenance Offset: 0x10
Node 1	RIO Switch Port Information CAR= 0x00001000	Maintenance Offset: 0x14
Node 1	RIO Source Operation CAR= 0x00000004	Maintenance Offset: 0x18
Node 1	RIO Switch Multicast Support CAR= 0x00000000	Maintenance Offset: 0x30
Node 1	RIO Route LUT Size CAR= 0x000001FF	Maintenance Offset: 0x34
Node 1	RIO Switch Multicast Information CAR= 0x00000008	Maintenance Offset: 0x38
Node 1	RIO Host Base Device ID Lock CSR= 0x0000FFFF	Maintenance Offset: 0x68
Node 1	RIO Component Tag CSR= 0x00000000	Maintenance Offset: 0x6C
Node 1	RIO Route Config DestID CSR= 0x00000000	Maintenance Offset: 0x70
Node 1	RIO Route Config Output Port CSR= 0x0000000E	Maintenance Offset: 0x74
Node 1	RIO Route LUT Attributes (Default Port) CSR= 0x000000FF	Maintenance Offset: 0x78
Node 1	RIO Multicast Mask Configuration Register= 0x00000000	Maintenance Offset: 0x80
Node 1	RIO Multicast DestID Configuration Register= 0x00000000	Maintenance Offset: 0x84
Node 1	RIO Multicast DestID Association Register= 0x00000000	Maintenance Offset: 0x88

图4 寄存器列表

在节点板中，FPGA的2个高速发送器分别连在交换芯片的0号和第6号端口上。将选择性地通过寄存器的偏移地址，对寄存器也就是相应的处理单元进行读写操作。测试思路源于《检查单》中所提供的测试项目，如图5所示。

Node	Register Name	Maintenance Offset
Node 1	RIO Component Tag CSR= 0x12345678	Maintenance Offset: 0x6C

Bits	0	1	2	3	4	5	6	7
00:07					CTAG [RW] 12345678h			
08:15					CTAG [RW]			
18:23					CTAG [RW]			
24:31					CTAG [RW]			


```

Script - MultiLock - Target: Node 0
File Edit
Script
W 6c 12345678
Output
W 6c 12345678
Script completed with 0 errors and 0 warnings

```

图5 试验性测试过程

该测试表明FPGA与Tsi578之间的部分读写互操作可以正常进行。但该测试板除了交换芯片以外，仅包含FPGA一个节点，不足以完成互操作性测试要求的至少2个节点(如再接入DSP)。另外，该测试使用了Rapid FET自带的Script编写功能(见图5)，在语言上受到限制，测试中仅对寄存器进行了读写操作，涉及到的参数只有偏移地址，对于Destination、Priority、Hop Count等互操作测试中提到的相关参数都未涉及，因此，上述的简单测试只是试验性的，并非严格构建出完整的测试平台，仅仅是以最简单的程序语言和软硬件平台，按照互操作性测试的思

路进行了尝试。要完成互操作性测试，并为此建立整体的测试方法，还需要后期更多的工作。

5 结束语

本文针对高速总线SRIO构建测试方法的问题，介绍了以SRIO设备互操作性测试为中心的测试方法，研究讨论了多个相关技术问题，包括流程、测试对象、软硬件平台的搭建及验证测试的实施过程，并按照其理论思路，以自行搭建的简单平台进行了测试实验。本文对用户自行开发测试平台具有较好的参考价值。

本文的测试实验以较精简的流程完成了验证工作，尽管严格按照互操作性测试的理论思路进行，但还无法完整地包含互操作性测试应该包含的所有细节信息，从而无法作为完备的测试体系。下一步将借助更多的测试设备和理论研究构建更完善的测试方法。

参考文献

- [1] RIO-LAB. Device Interoperability Level Test Descriptions v 1.7[EB/OL]. (2007-10-24). <http://www.rio-lab.com>.
- [2] RapidIO Trade Association. RapidIO Device Inter-operability and Certification Checklists Rev. 1.1[EB/OL]. (2005-09-12). <http://www.rapidio.org>.
- [3] Fuller S. RapidIO 嵌入式系统互连[M]. 王勇, 林粤伟, 吴冰冰, 等, 译. 北京: 电子工业出版社, 2006.
- [4] 互操作性定义[EB/OL]. (2009-03-07). <http://zh.Wikipedia.org/wiki>.
- [5] DIL1 AMCC 460GT Test Report, Revision: 1.4[EB/OL]. (2009-07-07). <http://www.rio-lab.com>.
- [6] RIO-LAB. Device Interoperability Level 1 Test Procedures, v1.5 [EB/OL]. (2007-06-15). <http://www.rio-lab.com>.
- [7] RIO-LAB. Device Interoperability Level 1 Test Set-up, v1.3[EB/OL]. (2007-11-05). <http://www.rio-lab.com>.

编辑 张正兴