

插入式短波预失真器的设计与实现

吴 昊, 屈晓旭, 娄景艺

(海军工程大学 电子工程学院, 武汉 430033)

摘 要: 在已有带预失真的短波发信系统中, 预失真处理通常与激励器基带信号处理部分高度融合, 无法直接应用于已有的短波通信系统, 或者需要对已有系统进行大幅修改。针对该问题, 提出一种插入式预失真技术, 并利用 DSP + FPGA 硬件平台, 设计一种插入式短波预失真器。插入式短波预失真器级联在激励器与功放之间, DSP 控制整个系统以及预失真算法部分。FPGA 完成正常通信与测量 2 种模式下的数字混频数字滤波以及预失真补偿, 利用 ARM 控制板集成的以太网功能实现 PC 与插入式短波预失真器的网口通信。实验结果表明, 该插入式短波预失真器可有效改善功放互调失真指标, 由仅 1/3 频点达标改善为全频段抑制至 -36 dB 以下, 达到了预设指标要求。

关键词: 插入式预失真; 基带预失真; 短波; 功率放大器; 互调指标

中文引用格式: 吴 昊, 屈晓旭, 娄景艺. 插入式短波预失真器的设计与实现[J]. 计算机工程, 2017, 43(12): 315-320.

英文引用格式: WU Hao, QU Xiaoxu, LOU Jingyi. Design and Implementation of Plug-in Short-wave Predistortion Device[J]. Computer Engineering, 2017, 43(12): 315-320.

Design and Implementation of Plug-in Short-wave Predistortion Device

WU Hao, QU Xiaoxu, LOU Jingyi

(College of Electric Engineering, Naval University of Engineering, Wuhan 430033, China)

[Abstract] Among the existing short-wave communication systems with predistortion, the predistortion processing is commonly highly integrated with the baseband signal processing of the exciter and cannot be applied directly in the existing short-wave communication systems, or it requires drastic changes on the existing systems. Aiming at the problem, this paper proposes a plug-in predistortion technology, and with the hardware platform of DSP + FPGA, the Plug-in Predistortion Device (PIPD) is designed and realized. The PIPD is cascaded between the exciter and Power Amplifier (PA), The DSP controls the entire system as well as the predistortion algorithm portion. FPGA completes the digital mixer digital filtering and predistortion compensation in the normal communication and measurement both modes. The ARM control panel integrated Ethernet and PC plug-in functions achieves predistortion short-wave communications network port. Experimental results show that the plug-in short-wave predistortion device can improve intermodulation index to beneath full-band -36 dB at only 1/3 frequency points.

[Key words] plug-in predistortion; baseband predistortion; short wave; Power Amplifier (PA); intermodulation index

DOI: 10.3969/j.issn.1000-3428.2017.12.056

0 概述

随着现代短波技术的不断发展, 高频谱利用率的调制方式在短波通信中的应用极大地提高了短波通信的质量以及容量。与传统调制方式相比较, 这些调制方式的非恒包络、多载波、宽频谱等特点对功率放大器 (Power Amplifier, PA) 设计提出更高的要求^[1-3]。

理想功放的传递效应是线性的, 即理想功放的输出信号是其输入信号的标量倍数。在实际中, 功率放大器内部晶体管是有源器件, 鉴于有源器件的非线性特性, 功率放大器的传递特性也呈现非线性

特性, 因此信号经功放放大后会导致非线性失真。非线性失真中以互调失真危害最大, 且难以在功放后端滤除互调分量^[4]。数字预失真可有效改善功放互调指标^[5-6]。

在众多预失真解决方案中, 预失真功能模块大多集成在激励器内部, 在信号上变频之前进行预失真处理, 目前尚未见到针对现有短波发信设备进行预失真补偿的方案。

针对以上问题, 本文利用 DSP + FPGA 硬件平台, 设计实现了插入式短波预失真器。该预失真器首先采样激励器输出的固定电平射频信号, 经数字

正交下变频及滤波处理得到数字基带信号并进行预失真处理,最后进行上变频及数模转换并输出给功放^[7]。信号衰减及载频等信息由激励器通过串口通知插入式短波预失真器,该系统同时具备驻波保护和自动电平控制功能。

1 方案设计

插入式短波预失真器的思想是将预失真模块作为单独的器件从数字发射机内抽离出来。插入式短波预失真器不仅可以“学习”功放特性曲线,同时可以对不同标准的短波发射机输出的射频信号进行预失真补偿,整个系统工作时连接方式如图1所示。

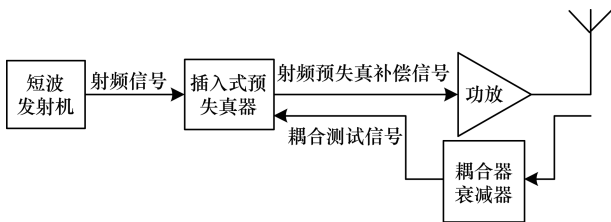


图1 系统工作连接图

图1中的耦合器和衰减器不需要单独配置,可直接使用短波功放内置的定向耦合器。该耦合器的耦合信号原本送往激励器,实现自动电平控制及驻波保护等功能。在接入插入式预失真器时,因为激励器输出为固定幅度信号,所以可将耦合信号送往插入式预失真器。

插入式短波预失真器有2种工作模式。当处于正常通信模式下时,短波发射机发出的射频信号经过插入式短波预失真器进行预失真补偿后输出至功放放大;当处于测试模式时,插入式短波预失真器发出各种测试信号给功放,从功放输出端耦合回测试信号后进行预失真参数辨识,更新LUT表或多项式拟合曲线。

功放预失真参数估计的结构可根据算法输入的不同划分为直接学习型结构与间接学习型结构,结合插入式短波预失真器工作实际情况,系统易受温度、电压等不稳定因素影响,其延时易存在较大误差,而直接学习型结构对系统延时精度要求高,因此插入式短波预失真器在算法结构上选择对实时性要求不高的间接型学习型结构^[8-9]。

预失真器的实现方法主要分为基于查询表(LUT)和基于多项式乘法两大类。就现阶段而言,存储器资源相对于乘法器资源成本更低,且结构相对简单,因此插入式预失真器基于LUT实现预失真功能,从而节约成本,提高系统可靠性^[10]。

硬件平台基于DSP与FPGA开发。DSP处理灵活、控制能力强;FPGA并行处理能力强、运算速度快。平台构建中相对固定的信号处理(如变频、滤波)在FPGA中实现,DSP负责系统控制及预失真参数辨识等复杂算法^[11]。硬件平台的搭建还需要一些必要的辅助性外围线路。基于以上平台的预失真器的功能框图如图2所示。

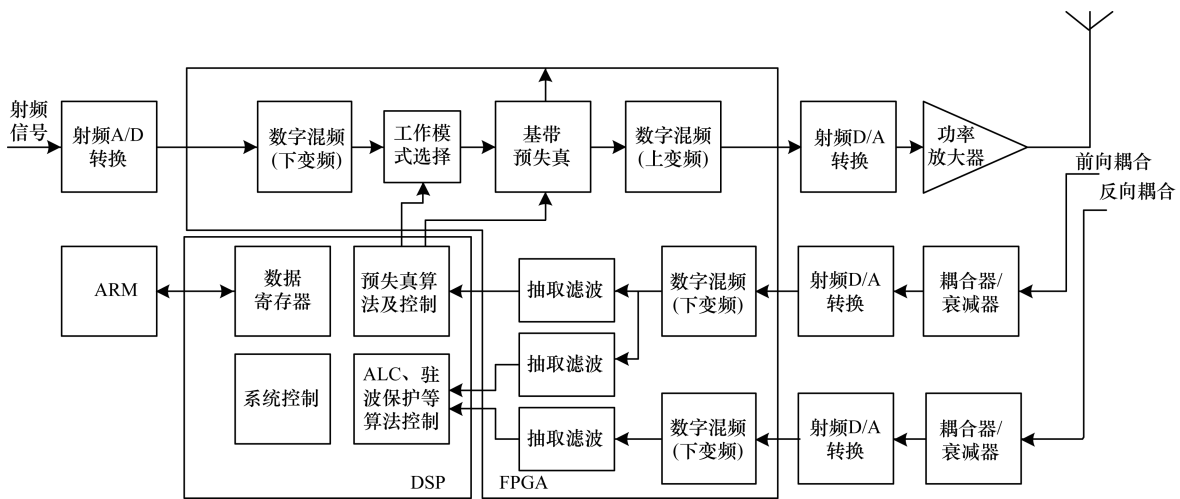


图2 系统功能框图

相较于已有基带预失真器,插入式短波预失真器的输入为激励输出的射频信号,但其预失真处理技术仍然是基带预失真。在对信号进行预失真补偿前首先要对信号进行数字下变频,将射频信号处理成对应的基带信号后再进行预失真幅度相位补偿。在将基带信号恢复成射频信号的过程中,应采

用同一本振信号以保证系统输入输出频率保持不变^[12]。

2 插入式预失真器的软硬件协同设计

根据设计功能要求,系统需要对一路射频输入信号和两路射频耦合信号进行采样,采样功能由

AD9233 实现。FPGA 将采集到的数字射频信号进行插入式预失真处理后上变频至数字射频, 此时信号仍然为数字信号, 通过射频 D/A 芯片 AD9957 转换成模拟信号后方可输出给功放。

插入式短波预失真器软件的基本功能包括插入式预失真处理、自动电平控制和驻波保护以及相应的监控功能, 分别由插入式预失真模块、电平控制及驻波保护模块、监控模块完成。各模块具体组成如图 3 所示。

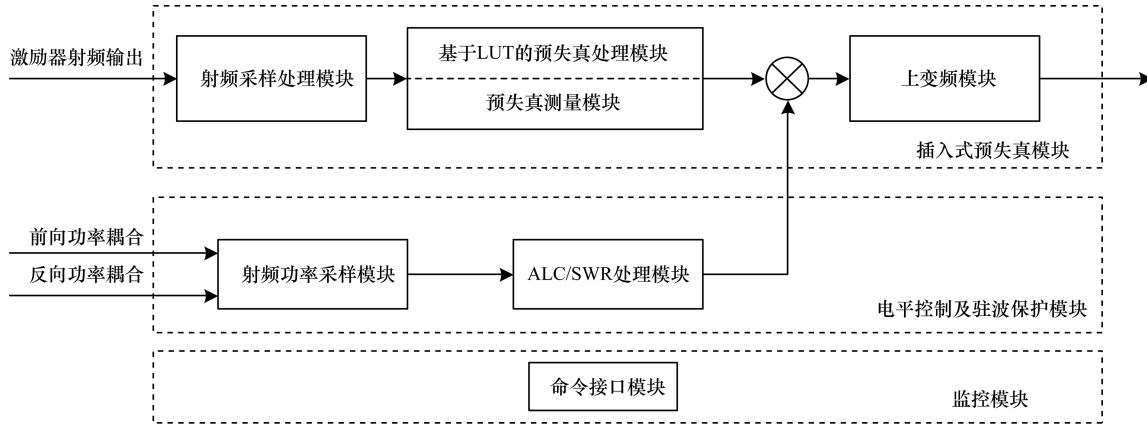


图 3 插入式预失真系统软件框架组成

2.1 插入式预失真模块

2.1.1 基于 LUT 的预失真模块

插入式预失真模块是系统实现预失真功能的主要模块。在此模块中, 来自激励器的短波射频信号经 AD 转换进入 FPGA 后, 依次进行下变频、预失真补偿、上变频、数字滤波, 最终输出给 D/A。信号采样率在此过程中保持不变, 上变频与下变频采用同一本振信号, 保证射频输入输出频率相同。本振信号频率由 FPGA 内部 NCO 核产生, 频率字由 DSP 提供。当进行预失真参数测量时, 由 DSP 在各个频点产生特定测试信号, 经插值与上变频后输出给功放, 并从功放输出端耦合测试信号, 经过下变频及降采样后, 返回 DSP, 由 DSP 进行预失真参数辨识。

激励器输出的射频信号经 AD9233 采样后得到射频采样信号, 射频采样信号与 NCO 输出本振信号相乘完成频谱搬移:

$$i_B = s_{RF} e^{-2j\pi \frac{f_{RF}}{f_{clk}} n} = s_{RF} \cdot \cos\left(2\pi \frac{f_{RF}}{f_{clk}} n\right) - s_{RF} \cdot j \sin\left(2\pi \frac{f_{RF}}{f_{clk}} n\right) = I_B + jQ_B$$

其中, 射频信号为 s_{RF} , 变频结果为 i_B , 本振信号频率与射频信号频率一致为 f_{RF} , f_{clk} 为采样率, 本文设计中采样率为 100 MHz。

模拟信号的频谱经射频 AD 采样后, 信号频谱以 f_{clk} 为周期拓展, 与本振信号相乘后, 原来频谱在 f_{RF} 附近的信号被搬移到零频^[13]。为得到基带信号, 需要经过数字低通滤波滤除其他频率分量。数字低通滤波器采用 FIR 核设计, 采样率为 100 MHz, 通带截止频率设为 50 KHz, 阻带起始频率设为 1 MHz,

具体滤波器系数由 Matlab FDAtool 生成。

预失真 LUT 的处理流程如图 4 所示。数字下变频及滤波后得到的基带 I, Q 两路信号为正交复信号, 经乘法器求平方后相加、开方后的到基带信号 Mag 值, 该 Mag 值为 LUT 表的索引地址。LUT 模块根据地址查询存储在该地址下的预失真参数, 基带复信号与 LUT 表中的预失真复参数进行复数乘法运算, 完成预失真处理^[14]。

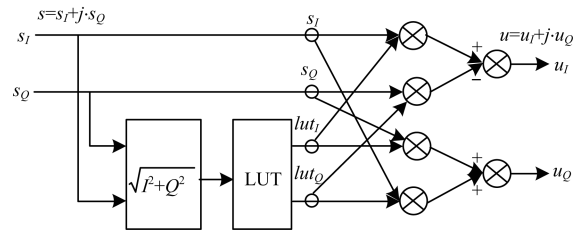


图 4 预失真结构框图

预失真前后信号关系如下:

$$u_I = s_I \cdot LUT_I - s_Q \cdot LUT_Q$$

$$u_Q = s_I \cdot LUT_Q - s_Q \cdot LUT_I$$

LUT 由双口 RAM 核设计实现。双口 RAM 有 A、B 两套读写线, 每套读写线使用各自的时钟。DSP 通过 A 口向 RAM 读取或写入预失真参数。预失真处理时通过 B 口查询 LUT 表, 并获取相应预失真参数。信号在 FPGA 内实现预失真处理过程的寄存器转换级电路图(RTL)如图 5 所示。需要说明的是, 在上述设计中求得的 Mag 值为 18 位, 但查表时仅使用了其高 11 位, 这相当于利用折线对预失真曲线进行了近似。11 位 Mag 值以满足采样精度, 同时可节省预失真表存储空间, 提高查表速度。

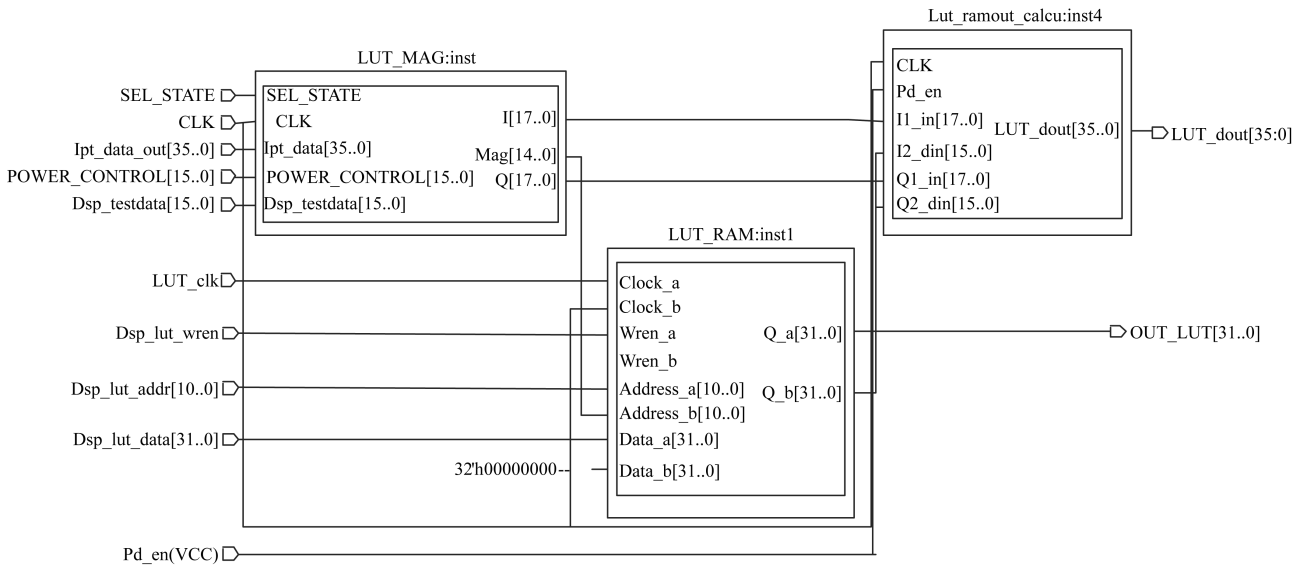


图5 LUT功能实现RTL图

2.1.2 预失真测量模块

预失真参数测算流程如图6所示。预失真测量过程开始后首先设置上变频频率和功放波段。测试

信号上变频所用本振信号由NCO提供,功放波段是功放为抑制谐波设计的低通滤波器所处波段,两者应相互对应。

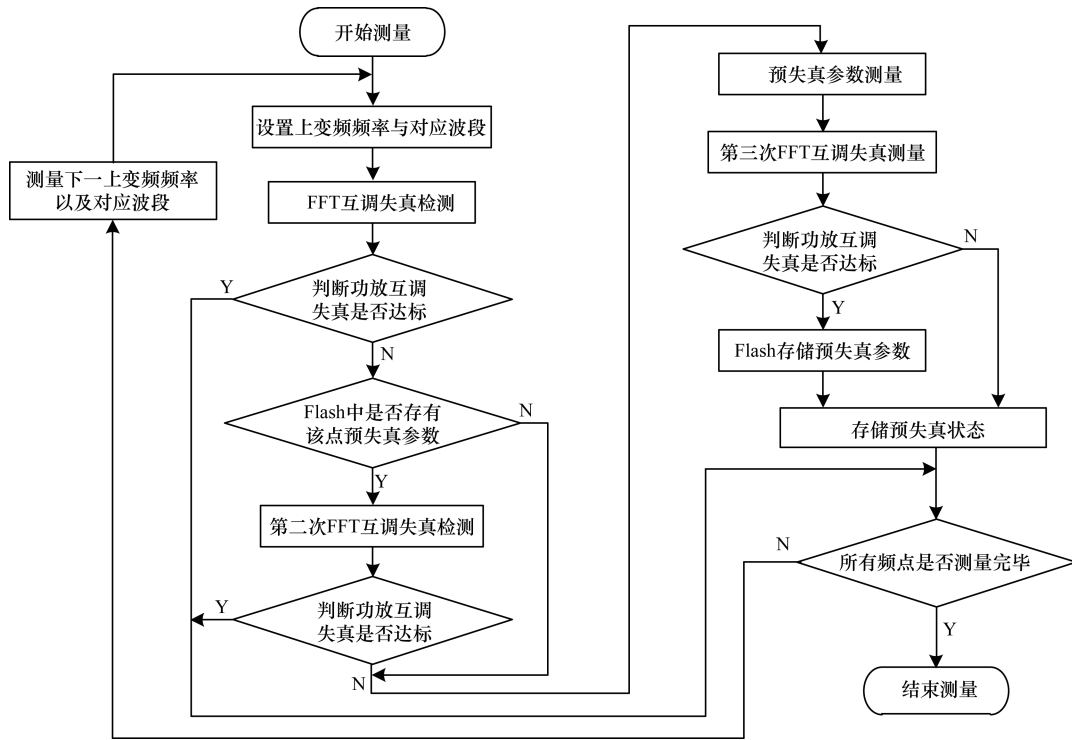


图6 预失真参数测算流程

测量过程如下:对耦合信号做第1次FFT检测,判断功放互调指标是否合格,若合格,则该频点下功放输出线性化较好,不需进行预失真补偿;若不合格,则判断Flash中是否存储该频点下有效预失真补偿值,因为Flash中可能已经存储有以前预失真测量得到的预失真表。

若Flash中已存储对应该频点的有效预失真参数,则对耦合信号进行第2次FFT检测。在第2次对耦合信号做FFT检测前,先从Flash中加载LUT表,对测量信号进行预失真补偿。第2次FFT检测的是经过预失真补偿的功放输出的耦合信号。

若LUT表中为存储无效预失真参数或第2次

FFT 检测不合格, 会对该频点进行预失真参数测量, 测量完成后将测量参数补偿到测量信号上进行第 3 次 FFT 检测, 判断预失真参数是否有效补偿测试信号。有效参数会被存储到 Flash 中, 无效参数直接丢弃, 2 种情况下均需存储新的预失真状态。

当该频点下预失真参数有效或测量出该频点下新的预失真参数后, 会继续下一频点预失真参数测量, 直至完成所有频点下的参数测量。测量信号是由 DSP 提供的双音信号, 频率可手工设定, FFT 运算直接调用 DSP/BIOS 的函数库完成。

测量出的新的预失真参数并不一定可以有效进行预失真, 有效或无效补偿后的情况均以预失真状态标志的形式存储记录下来, 程序调试时可以方便调试人员判断预失真是否有效及预失真补偿无效原因。

2.2 串行接口模块设计

本文系统共设计 2 条 RS-232 串行接口通路, 其中一条用于激励器通知插入式短波预失真器换频和衰减等参数, 保证预失真器内部 NCO 产生的本振信号与输入端射频频率一致; 另一条用于插入式短波预失真器转发激励器命令至功放。RS-232 串行具有接口通信成本低、可靠性高、易于实现等优点, 使其在电子、通信等领域得到广泛应用。

电平转换芯片采用 MAX232 芯片, 该芯片需 +5 V 单电源供电, 可实现升压、电压极性反转等功能, 能够将外界输入未限幅电压转化成 FPGA 所需逻辑高低电平。

RS-232 为通信物理层标准, 其链路层协议是 UART, 该协议规定了收发双方的通信形式。发送端在通信空闲状态时控制发送线输出高电平, 开始发送数据前先发送一位低电平的起始位用于通知接收方开始接收, 数据每次发送 8 位, 停止位在最后, 对应一位高电平, 用于标志一个字符传输结束^[15]。

在本文系统中, RS-232 波特率被设定为 9 600, 波特率规定了数据传输速率, 也就是一位数据的电平保持时间。串口功能由 DSP 与 FPGA 共同实现, DSP 对 8 位并行数据直接操作, FPGA 实现串口通信所需串行数据和 DSP 处理所需并行数据之间的转化, 具体实现方法如图 7 所示。

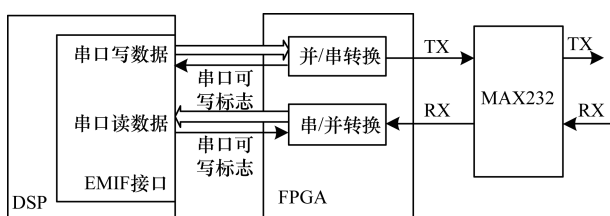


图 7 串口通信流程

DSP 在每次读/写串口数据时, 均需查看串口标志位, 只有在空闲时才可进行相应操作。FPGA 需要根据 DSP 读/写数据状态及时更新串口标志位。

激励器、插入式短波预失真器以及功放之间的异步通信需要在每次消息交换之前设置一同步序列, 同步序列由特殊字符组成。插入式短波预失真器收到激励发送的命令后, 首先检测同步头序列, 满足协议后开始检测奇偶校验位, 检测成功后首先将命令转发给功放, 之后开始解析并执行命令, 当收到功放肯定应答命令且自身已实现换频或改变衰减因子后, 返回肯定应答消息给激励器。当同步头或奇偶校验位检测失败时, 插入式短波预失真器直接抛弃这条命令, 等待下一个同步头序列。当命令在执行或解析过程中失败, 或者等待 10 ms 后未收到功放应答命令, 插入式短波预失真器会回复否定应答消息。在收到否定应答消息或等待 100 ms 后未收到肯定应答消息时, 激励器重新发送命令。

命令解析由 DSP 负责完成, 执行命令时 DSP 将计算好的频率控制字或衰减因子写给 FPGA, 由 FPGA 具体操作。

3 实验与结果分析

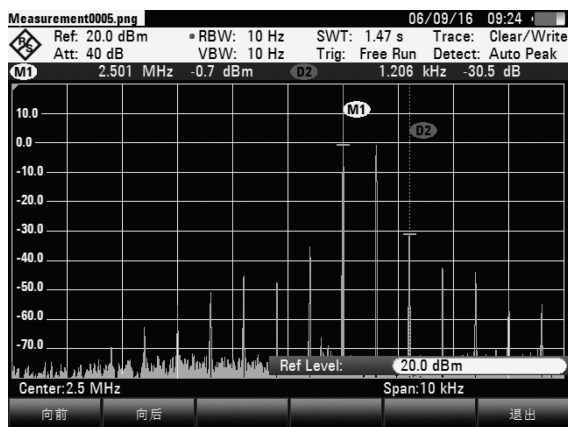
根据短波发射机实际工作需要, 插入式短波预失真器在 2.5 MHz ~ 29.5 MHz 范围内间隔 1 MHz 的各频点上进行预失真补偿, 每 1 MHz 范围内使用同一组预失真系数。

激励器调制信号为双音信号, 上变频至各射频频点, 输出给插入式短波预失真器以及功放, 比较接入和未接入插入式短波预失真器的功放输出信号频谱, 取各互调成分中最大成分的抑制分贝作为参照。根据实测效果, 取低、中、高 3 个频段中代表性频点列表 1, 并在表 1 中列出集成式预失真器的实际效果与之对比。由于部分频点在未接入插入式短波预失真器时双音互调失真已达到检测指标, 接入后, 插入式短波预失真器在这部分频点下未测试相应预失真参数, 实际工作时也未作预失真处理, 因此在这部分频点下的测量指标不具备参考意义。经比对, 插入式预失真器接入系统后的预失真效果与现有新式具备预失真功能的激励器输出效果相当。

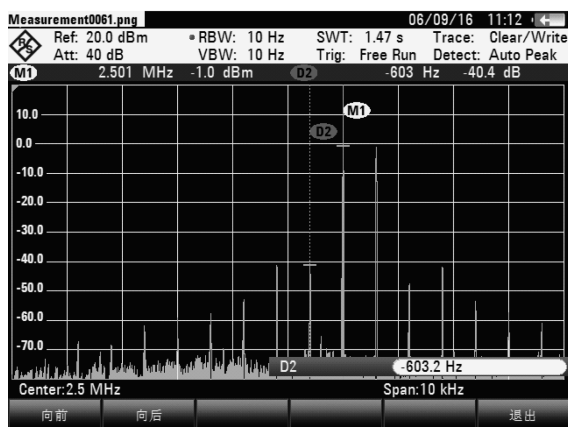
表1 插入式短波预失真器互调失真改善情况

中心频率 /MHz	无预失真/dB	插入式预失真/dB	集成式预失真/dB
-2.5	-30.5	-40.4	-41.2
-6.5	-34.6	-38.2	-40.0
-8.5	-35.6	-39.6	-39.2
-11.5	-36.2	-38.3	-37.1
-14.5	-36.5	-37.6	-38.6
-19.5	-36.7	-38.4	-39.2
-24.5	-31.3	-36.5	-38.3
-27.5	-31.9	-39.7	-40.1
-29.5	-33.2	-42.8	-41.3

以 2.5 MHz 为例,接入插入式短波预失真器前,互调失真达到 -30.5 dB,接入插入式短波预失真器后,功放互调失真减小至 -40.4 dB,抑制了 9.9 dB。通过接入插入式短波预失真器前后各频点互调失真情况对比,插入式短波预失真器在高、中、低频段均可实现对互调失真的有效抑制,可实现设计前预想的在全频段将互调分量抑制至 -36 dB 以下,如图 8 所示。



(a)接入插入式短波预失真器前双音测试



(b)插入接入式短波预失真器后双音测试

图8 2.5 MHz 载波下接入插入式短波预失真器前后双音测试频谱对比

4 结束语

新调制方式在短波通信中的应用极大地提高了短波通信的质量以及容量,但工作非线性区的功率放大器限制了其通信距离与质量。本文对插入式短波预失真器的总体结构与功能框图进行设计,在此基础上,设计各软件功能模块的控制流程。相较于集成在激励器内部的基带预失真模块,插入式短波预失真器级联在激励器与功放之间,无需对已有发信系统进行大幅修改,即可为已有短波发信系统提供预失真信号处理能力,在实现全频段互调指标改善至 -36 dB 的同时,保证其他功能性能指标满足要求。

参考文献

- [1] AI B, YANG Z X, PAN C Y, et al. On the Synchronization Techniques for Wireless OFDM Systems [J]. IEEE Transactions on Broadcasting, 2006, 52(2): 236-244.
- [2] AI B, GE J H, WANG Y, et al. Symbol Timing Technique in OFDM Systems [J]. IEEE Transactions on Broadcasting, 2004, 50(1): 51-62.
- [3] NADER C, LANDIN P N. Peak-power Controlling Technique for Enhancing Digital Predistortion of RF Power Amplifiers [J]. IEEE Transactions on Microwave Theory and Techniques, 2012, 60(11): 3571-3581.
- [4] OBERMIER M, POEWRS E J. The Effects of Nonlinear High Power Amplifiers on Space Based Phased Array Antenna Pattern [C] // Proceedings of IEEE International Conference on Phased Array Systems and Technology. Washington D. C., USA: IEEE Press, 2000: 45-48.
- [5] 艾渤, 李波, 钟章队. 功率放大器数字基带自适应预失真技术研究进展 [J]. 电讯技术, 2007, 47(6): 1-6.
- [6] 古林海, 葛利嘉. 功放数字预失真技术现状及未来发展 [J]. 通信技术, 2015, 48(11): 1207-1212.
- [7] 胡欣, 王刚, 王自成, 等. 射频预失真器与基带预失真算法结合对行波管功率放大器线性化改善的影响 [J]. 通信学报, 2012, 33(7): 158-163.
- [8] MA Y, AKAIWA Y, YAMAO Y. Fast Baseband Polynomial Inverse Algorithm for Nonlinear System Compensation [C] // Proceedings of the 75th IEEE Conference on Vehicular Technology. Washington D. C., USA: IEEE Press, 2012: 1-5.
- [9] 王胜水. 数字预失真放大器中的自适应算法研究 [D]. 成都: 电子科技大学, 2009.
- [10] 艾渤, 杨知行, 潘长勇, 等. 高功率放大器线性化技术研究 [J]. 微波学报, 2007, 23(1): 62-70.
- [11] 高俊. DSP 原理及其在数字通信系统中的应用 [M]. 武汉: 海军工程大学, 2007.
- [12] 张小梅. 基于数字预失真技术的功放线性化研究 [D]. 西安: 西安电子科技大学, 2012.
- [13] 楼才艺, 徐建良, 杨小牛. 软件无线电原理与应用 [M]. 北京: 电子工业出版社, 2014.
- [14] 艾渤, 杨知行, 潘长勇, 等. 基于 LUT 的 HPA 数字基带预失真方法研究 [J]. 电子与信息学报, 2007, 29(7): 1580-1583.
- [15] 李金力, 刘文怡, 彭旭峰. 基于 FPGA 的 RS232 异步串行口 IP 核设计 [J]. 电子设计工程, 2009, 17(8): 31-32, 35.