

分块矩阵转置研究与 FPGA 逻辑设计

吴长瑞, 蒋景红, 徐建清

(中国科学院声学研究所, 北京 100190)

摘要: 矩阵转置是数字信号处理中的基础关键操作, 广泛应用于阵列信号处理、频谱分析、信号滤波与信号识别等领域。传统的矩阵转置方法由于算法复杂、处理时间长、效率不高等问题, 已经逐渐不能满足现代信号处理系统对高性能的需求。为解决上述问题, 本文提出一种基于现场可编程门阵列(FPGA)与第三代双倍数据率同步动态随机存取存储器(DDR3 SDRAM)的分块矩阵转置方法。该方法的核心在于优化数据映射方式和访问模式, 通过将转置过程中的效率瓶颈分散到读写两个环节, 有效提高了转置效率。具体来说, 该方法利用 FPGA 的高速并行处理能力, 结合 DDR3 SDRAM 的高速存储特性, 实现了对大型矩阵的快速转置。同时采用两片 DDR3 SDRAM 形成乒乓结构, 一块用于读取原矩阵数据, 另一块用于写入转置后的数据, 从而实现矩阵的实时流水转置。硬件平台实测结果表明, 该方法对于处理非 2 的整数次幂的 $M \times N$ 大型矩阵转置问题具有显著的效果; 相比于分布式存储矩阵转置算法, 这种方法不受矩阵规模的限制, 适用于任意大型矩阵的转置, 且易于实现, 转置效率达到 90%。

关键词: 矩阵转置; 第三代双倍数据率同步动态随机存取存储器; 跨行访问; 现场可编程门阵列; 分块存储

中图分类号: TN957.52

文献标志码: A

DOI: 10.19678/j.issn.1000-3428.0070145

Research on Block-based Matrix Transposition and FPGA Logic Design

WU Changrui, JIANG Jinghong, XU Jianqing

(Institute of Acoustics, Chinese Academy of Sciences, Beijing 100190, China)

【Abstract】 Matrix transposition is a fundamental and crucial operation in digital signal processing and has extensive applications in various fields, such as array signal processing, spectral analysis, signal filtering, and signal recognition. The traditional matrix transposition method, owing to its complex algorithm, long processing time, and low efficiency, can no longer satisfy the high-performance requirements of modern signal processing systems. To solve these problems, this paper proposes a block-based matrix transposition method based on a Field Programmable Gate Array (FPGA) and Double Data Rate 3 Synchronous Dynamic Random Access Memory (DDR3 SDRAM). The core of this method is the optimization of data mapping and access patterns. Distributing the efficiency bottlenecks in the transposition process to both the read and write stages effectively improves the transposition efficiency. Specifically, this method utilizes the high-speed parallel processing capability of the FPGA combined with the high-speed storage characteristics of the DDR3 SDRAM to achieve the rapid transposition of large matrices. Two DDR3 SDRAM chips are employed to construct a ping-pong buffering architecture. One is used for reading the original matrix data, and the other is used for writing the transposed data, thereby achieving a real-time pipelined transposition of the matrix. The test results on an actual hardware platform indicate that this method has a significant effect on handling the transposition of large $M \times N$ matrices with dimensions that are not powers of 2. Compared with distributed storage matrix transposition algorithms, this method is not limited by the size of the matrix and can be applied to the transposition of any large matrix. It is also easy to implement and has a transposition efficiency of 90%.

【Key words】 matrix transposition; Double Data Rate 3 Synchronous Dynamic Random Access Memory (DDR3 SDRAM); cross-row access; Field Programmable Gate Array (FPGA); block-based storage

0 引言

矩阵转置是线性代数中最基本的运算操作, 也是信号处理中常用的处理方法^[1]。在频谱分析、信

号滤波、信号识别、图形变换等数字信号处理场景中, 对矩阵的转置操作是必不可少的, 如果转置处理不好, 会成为整个信号处理的最大瓶颈^[2-4]。从理论角度来讲, 矩阵转置就是两个矩阵之间的映射^[5]。

基金项目: 国家重点研发计划重点专项(2021YFC2801203); 中国科学院青年创新促进会基金(2021021)。

作者简介: 吴长瑞, 女, 副研究员、博士, 主研方向为无人平台声呐信号处理、低功耗小型化并行计算; 蒋景红, 正高级工程师、博士; 徐建清, 副研究员、硕士。

收稿日期: 2024-07-18

修回日期: 2024-09-10

E-mail: wcr@mail.ioa.ac.cn

当数据量不大,数据可以存储在高速内存中时,矩阵转置就是对矩阵所有元素的索引号进行互换,而不必在实际物理内存中将数据重新排列。但是,对于大数据量实时处理系统,大量数据必须存储在外部存储器中,如果存储前不改变数据的存储方式,并且采用频繁的地址跳变(特别是行地址跳变)对外部存储器进行访问,会大幅降低矩阵转置的运算效率^[5]。

文献[5]对现有的矩阵转置算法优缺点进行了分析对比:行进列出、列进行出算法直接跳变寻址,页命中率低;分块算法需要 QDR(Quad Data Rate)与 DDR(Double Data Rate)组合,利用片外 QDR 实现分块转置,造成对 DDR 的二次操作,降低了转置效率。文献[6]提出一种在现场可编程门阵列(FPGA)上实现的新型流水线算法,相较于传统算法,该算法对内存与运算时延均进行了优化;然而随着矩阵规模增大,其运算时延仍会显著上升。文献[7-8]也主要针对中小规模的矩阵转置进行性能提升,没有讨论大型矩阵的情况。文献[9]针对 2 的 N 次幂矩阵形式进行转置优化,所提方法无法应用于非 2 的 N 次幂矩阵。针对非 2 次幂大型矩阵转置的问题,由于矩阵数据规模非常大,需要考虑内存的存储特点进一步优化转置性能。为此,该文采用两片第三代双倍数据率同步动态随机存取存储器(DDR3 SDRAM)形成乒乓结构,利用矩阵分块的思想,通过优化数据存储结构,将转置效率瓶颈分散到读、写两个过程中,达到了读写效率平衡且效率最优。

1 矩阵转置存储介质选择

大型矩阵对存储器存储容量的要求非常高。文献[1]对常用的外部高速存储器 DDR3 SDRAM、静态随机存取存储器(SRAM)、Flash、双端口随机存取存储器(DPRAM)的优缺点进行了详细阐述。Flash 可以实现大容量的存储空间,但读写速度慢,而且会出现存储的坏块,无法满足高稳定性;DPRAM 和 SRAM 读写相互独立,速度较快且接口简单,可以实现对确定地址的单周期访问,缺点是存储容量太小,无法满足大型矩阵的存储要求;DDR3 SDRAM 具有存储容量大、速度快、功耗和成本低的优点,缺点是操作复杂,需要设计专门的控制器才能访问^[10-12]。从以上比较可知,DDR3 SDRAM 更适合做高速大容量存储介质^[13]。

2 矩阵转置算法

对于 $M \times N$ 矩阵 A ,它的转置矩阵表示为 A^T ,满足:

$$[A^T]_{n,m} = [A]_{m,n}, 0 \leq m < M, 0 \leq n < N \quad (1)$$

式中: $A_{m,n}$ 表示第 m 行、第 n 列的元素^[14-15]。

从第 1 章分析可知 DDR3 SDRAM 是存储大型矩阵的最佳选择。通过分析 DDR3 SDRAM 的结构特性可知,其对连续地址的顺序访问可实现极高吞吐率,但面对地址跳变的随机访问时,会因频繁翻页操作导致访问效率大幅下降。若直接采用传统方式进行矩阵转置,效率较低(仅能达到 10%~50%)。针对以上特点,本章提出了读写均衡的分块存储策略。

2.1 行进列出与列进行出架构

对于 $M \times N$ 矩阵的转置,最简单的做法是竖着写、横着读或者横着写、竖着读(写指的是把矩阵原始数据存储到 DDR3 SDRAM 颗粒里面,读指的是从 DDR3 SDRAM 颗粒读出转置后的矩阵),即行进列出(RICO)或者列进行出(CIRO)架构,如图 1 所示(彩色效果见《计算机工程》官网 HTML 版,下同)。这种方法只适合数据量小,能够在内存中完成的矩阵。对于大规模且实时性要求高的矩阵,内存存放不下,需要采用外部存储器 DDR3 SDRAM,然而 DDR3 SDRAM 存在大量翻页,导致该方法转置效率太低,无法满足要求,因为竖着写意味着每写一个数据就要打开新的一行,竖着读意味着每读一个数据都要打开新的一行。

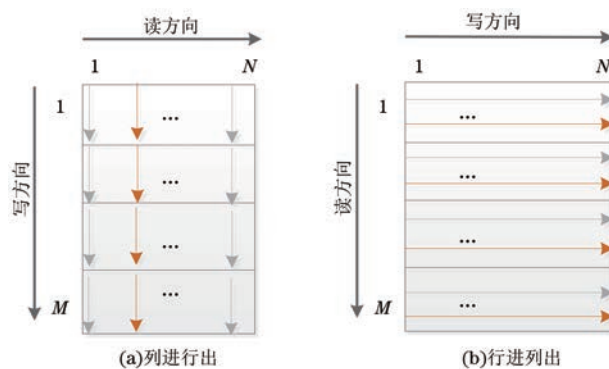


图 1 列进行出和行进列出架构

Fig.1 CIRO and RICO architectures

2.2 分块存储

本文算法的设计思想是通过改变矩阵的存储方式来获得高效的矩阵转置。由于本文采用的 DDR3 SDRAM 芯片型号每行对应 1 024 列,采用 burst 长度(burst length)为 8 的工作方式,故每行对应 128 列的 burst 操作。由于在一行内进行读写操作开销最小,因此打开一行要最大效率进行读写操作。对于矩阵转置来讲,为了达到读写效率同时最大化,需要考虑读写平衡。对于每行对应 128 列的 burst 结构来说,为了读写效率平衡,一行写 8 个 burst 数

数据,读 16 个 burst 数据,或者一行写 16 个 burst 数据,读 8 个 burst 数据。

基于 DDR3 SDRAM 颗粒的物理结构特性,本文将物理上一行分成 8 组,每打开一行,依次写 8 个数据。为了写入矩阵一行的数据(即 N 个数据),需要设计 $N/8$ 个行分组,每 $N/8$ 个行分组形成一个块(block)。整个矩阵数据存储结构如图 2 所示,第 1 个 block 数据存储结构如图 3 所示。原始数据的第 1 行数据 $A_{1,1}, A_{1,2}, \dots, A_{1,N}$ 均匀分布在第 1 个 block 块中。原始数据第 2 行以同样方式存储。设计采用的 DDR3 SDRAM 芯片型号每行对应 1 024 列,把 1 024 列分成 8 组,一次存入 burst length 为 8,每组可以存 16 个数据,这样一个 block 可以存储原始矩阵 16 行的数据,如果要全部完成原始矩阵的存储,共需要 $M/16$ 个 block。

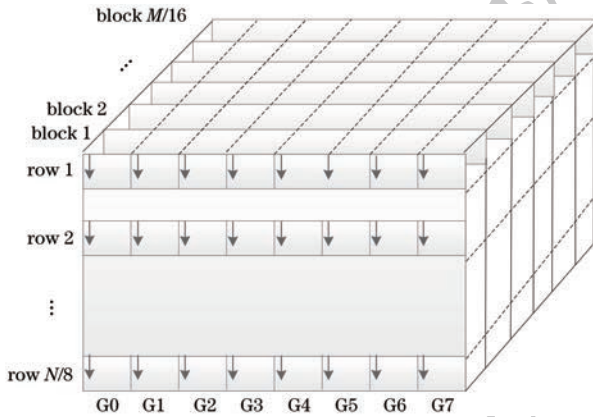


图 2 整个矩阵数据存储结构

Fig.2 Structure of whole matrix data storage

$M \times N$ 的原始矩阵 A 写入 DDR3 SDRAM 的具体步骤如下:

1) 打开 DDR3 SDRAM 的 row 1, 顺序写入原始矩阵第 1 行的 8 个数据到 DDR3 SDRAM 的 row 1

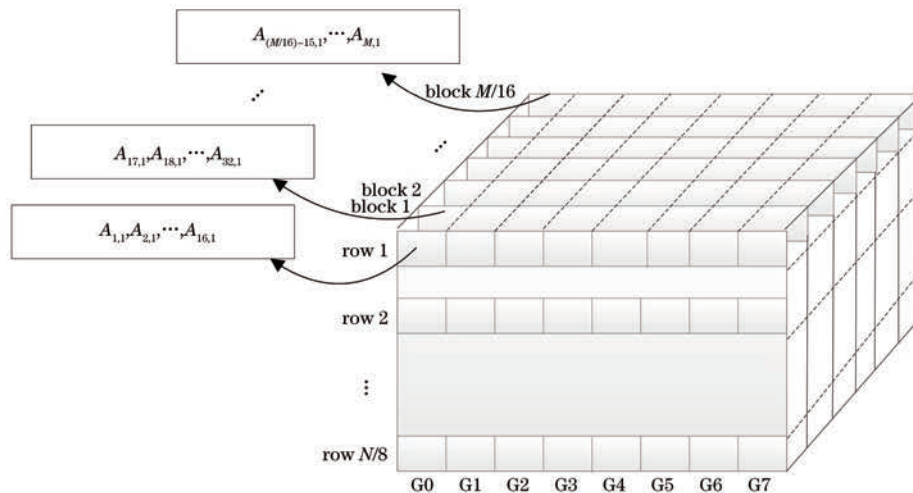


图 4 矩阵数据读出顺序示意图

Fig.4 Schematic diagram of matrix data readout order

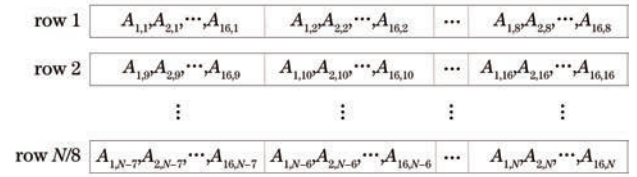


图 3 第 1 个 block 数据存储结构

Fig.3 Structure of the first block data storage

对应的 8 组区域中。每组写一个数据,写完第 8 组的一个数据后跳入 DDR3 SDRAM 的下一行。DDR3 SDRAM 行号加 1, 如此循环, 直到把原始矩阵第 1 行 N 个数据写完为止。DDR3 SDRAM 行号最大值就是 $N/8$ 。

2) 原始数据第 2 行的 N 个数据与其第 1 行的 N 个数据写入方法相同。按照顺序把原始数据第 2 行的第 1 个数据写入 DDR3 SDRAM row 1 对应的 8 组区域中的第 2 个位置, DDR3 SDRAM 一行写 8 个矩阵数据。同步步骤 1) 的操作, 直到把原始数据第 2 行 N 个数据写完。

3) 依此类推, 当把 DDR3 SDRAM 的第 1 个 block 填充完成后, 打开第 2 个 block 开始写入, 直到把原始数据最后一行数据完全写入, DDR3 SDRAM 最后一个 block 也就写完成了。

本文算法的巧妙之处是: 按照上述写顺序存储数据后, 只需遵循图 4 所示的读顺序, 即可直接读出转置矩阵 A' 的第 1 行数据。具体读数据步骤如下:

1) 打开 DDR3 SDRAM block 1 对应的 row 1, 连续读出分组 1 内的 16 个数据; 然后打开 block 2 对应的 row 1, 连续读出分组 1 内的 16 个数据; 依此类推, 直到读出 block $M/16$ 对应的 row 1 分组 1 内的 16 个数据, 共读出 $16 \times (M/16) = M$ 个数据,

这就是转置后矩阵 A' 的第 1 行数据。

2) 依此类推, 每个 DDR3 SDRAM 所有 block 中 row 1 分组 2 中的 16 个数据形成转置后矩阵 A' 的第 2 行数据; 当所有 block 中 row 1 对应分组的数据读完后, 启动所有 block 中 row 2 对应的所有

分组数据。直到读完 row $N/8$ 对应分组的所有数据, 即形成 N 行 M 列的转置矩阵 A' 。

为了方便读者理解, 图 5 给出了 DDR3 SDRAM 所有 $M/16$ 个 block 中 row 1 的数据存储示意图, 箭头表示读数据的顺序。

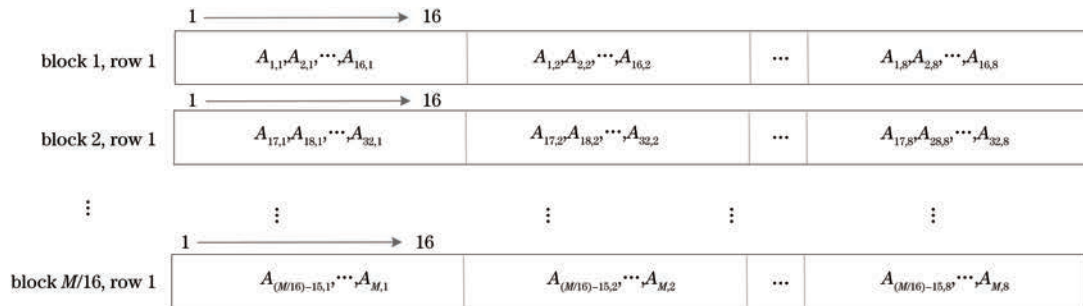


图 5 DDR3 SDRAM 所有 $M/16$ 个 block 中 row 1 的数据存储示意图

Fig.5 Schematic diagram of data storage in Row 1 for all $M/16$ blocks in DDR3 SDRAM

3 FPGA 逻辑设计

选择型号为 MT41J128M16HA 的 DDR3 SDRAM, 该芯片的物理列地址是 10 位, 物理行地址为 14 位, 物理 bank 地址为 3 位。使用 coregen 内置的内存接口生成器(MIG)生成 DDR3 控制器, 控制器的用户地址由物理 bank 地址、物理行地址、物理列地址组成,

共 27 位, 矩阵转置存储时用的是逻辑地址, 物理地址和逻辑地址的对应关系如图 6 所示。根据第 2 章的分析: 物理列地址划分成逻辑地址的两部分, 分别是组号和组内列数; 有 8 个组, 每个组包含 16 列; 14 位的物理行地址划分成两部分, 低 8 位用作矩阵转置存储的逻辑行数, 物理行地址的高 6 位和物理 bank 地址的低 2 位组成逻辑上的 256 个块地址。



图 6 物理地址和逻辑地址的关系

Fig.6 Relationship between physical address and logical address

本文选择两片 DDR3 SDRAM 形成乒乓结构, DDR3_0 进行矩阵数据的写入时, DDR3_1 进行矩阵转置数据的读出。当 DDR3_0 完成写入操作和 DDR3_1 完成读出操作时, 两者切换,

DDR3_1 进行矩阵数据的写入, DDR3_0 进行矩阵转置数据的读出。这样的结构能够保证前端数据实时流水实现转置。图 7 描述了乒乓结构和读写时序图。

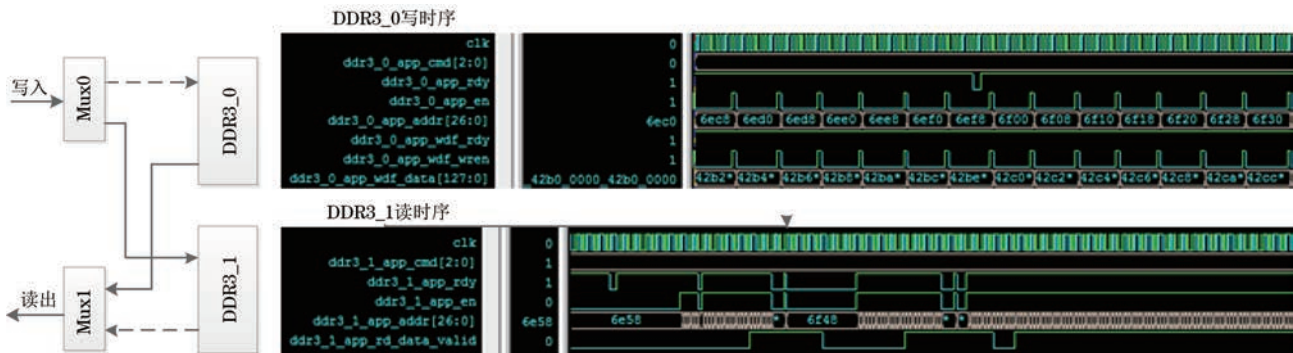


图 7 DDR3_0 和 DDR3_1 乒乓结构和读写时序

Fig.7 DDR3_0 and DDR3_1 ping-pong structure and read/write timing

4 结果分析

本章对物理行地址读写 1、2、4 个, 最大写 128 个

burst 数据等情况进行接口读写效率测试。通过上述情况的读写测试, 找到效率最优的转置方式。

采用文献[16]描述的测试方法, 即给 Xilinx 的

DDR3 SDRAM 控制器中输入指定的激励,利用 ChipScope 查看 DDR3 SDRAM 读写遍历所需要的时间,根据 DDR3 SDRAM 的容量和读写遍历所用的时间计算出有效读写带宽。

数据访问效率公式如下:

$$\eta = \frac{N_{\text{Data_count}}}{N_{\text{Time_count}}} \quad (2)$$

式中: $N_{\text{Data_count}}$ 表示数据访问个数; $N_{\text{Time_count}}$ 表示访问 $N_{\text{Data_count}}$ 个数据所需要的时钟周期个数。根据数据访问效率公式,表 1 和表 2 描述了单行读写不同 burst 长度时的接口效率。

表 1 单行读操作不同 burst 长度时的接口效率

读操作	读效率
每行读 128 个 burst 数据	90.0
每行读 64 个 burst 数据	86.7
每行读 32 个 burst 数据	77.9
每行读 16 个 burst 数据	65.0
每行读 8 个 burst 数据	48.8
每行读 1 个 burst 数据	12.0

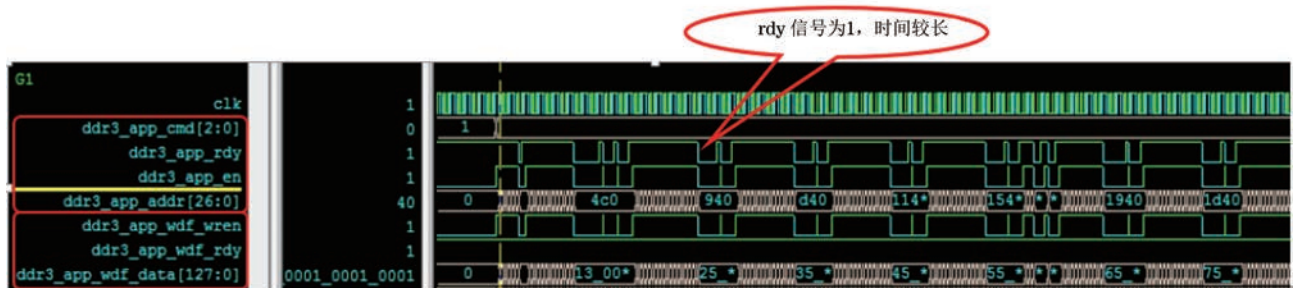
表 2 单行写操作不同 burst 长度时的接口效率

写操作	写效率
每行写 1 个 burst 数据	9.8
每行写 2 个 burst 数据	16.8
每行写 4 个 burst 数据	28.2
每行写 8 个 burst 数据	41.3
每行写 16 个 burst 数据	56.7
每行写 128 个 burst 数据	89.9

硬件平台实测结果表明: Xilinx 的 DDR3 SDRAM 控制器对于按地址连续读写,效率可以达到 89%~90%,但是该控制器对于随机地址存储效率较低;单行单个 burst 数据读写操作,读写效率只有 9.8%~12.0%^[16]。图 8 描述了优化前后 DDR3 SDRAM 写数据仿真时序图。从图中可以看出:优化前写时序图上 rdy 为 1 的时间较短,说明跨行操作比较频繁,开销较大,接口效率较低;优化后写时序图上 rdy 为 1 的时间较长,说明优化减少了跨行操作,提高了接口效率。



(a)优化前(一行写1个数据)DDR3 SDRAM写数据仿真时序图



(b)优化后(一行写16个数据)DDR3 SDRAM写数据仿真时序图

图 8 优化前后 DDR3 SDRAM 写数据仿真时序对比

Fig. 8 Comparison of DDR3 SDRAM write data simulation timing before and after optimization

利用本文算法对 $3\,500 \times 4\,096$ 、 $3\,072 \times 8\,192$ 矩阵进行转置实现,转置效率为 90%。与文献[17-19]相比,本文可以对非 2 的整数次幂的任意矩阵进行转置,且无需缓存前端数据,转置效率接近于顺序访问的效率。

5 结束语

本文利用 DDR3 SDRAM 的数据访问特性,在平衡读写操作的前提下,最大效率地提高单行操作次数,减少跨行开销,从而使矩阵行列方向上的数据

访问效率均能接近顺序访问的效率。实验表明,本文所提算法可以高效地实现非 2 的整数次幂的任意大型矩阵转置,在工程实现上大幅缩短了转置时间。该算法不仅适用于 DDR3 SDRAM,而且也适用于 DDR4 SDRAM 和 DDR5 SDRAM。该算法提高了常规大型矩阵的转置效率,但对于稀疏矩阵这类特殊矩阵,还有改进和优化的空间。本文介绍了基于 FPGA 实现的矩阵转置算法,而文献[20-23]描述了基于 GPU 和飞腾 CPU 的矩阵转置算法,未来根据实际工程需要,结合 FPGA、GPU 和 CPU 各自的优势,可以进一步优化矩阵算法研究。

参考文献

- [1] 边明明, 毕福昆, 汪精华. 实时 SAR 成像系统矩阵转置方法研究与实现[J]. 计算机工程与应用, 2011, 47(22): 117-119, 144.
BIAN M M, BI F K, WANG J H. Research and implementation of real-time SAR imaging system matrix transposition method [J]. Computer Engineering and Applications, 2011, 47(22): 117-119, 144. (in Chinese)
- [2] 施隆照, 叶江彬. 矩阵转置切换在 FFT 处理器中的应用[J]. 电子技术, 2016, 45(5): 61-65.
SHI L Z, YE J B. The application of array transpose commutator in FFT processor [J]. Electronic Technology, 2016, 45(5): 61-65. (in Chinese)
- [3] 陈亮, 李涌睿, 丁杰, 等. 星载 SAR 在轨成像高效处理系统硬件实现设计[J]. 信号处理, 2024, 40(1): 138-151.
CHEN L, LI Y R, DING J, et al. Hardware implementation design for an efficient on-board imaging processing system in spaceborne SAR [J]. Journal of Signal Processing, 2024, 40(1): 138-151. (in Chinese)
- [4] 曹富军, 袁冬芳. 矩阵转置对图形变换的几何意义[J]. 内蒙古科技大学学报, 2021, 40(2): 112-116.
CAO F J, YUAN D F. The geometric meaning of matrix transposition for graphic transformation [J]. Journal of Inner Mongolia University of Science and Technology, 2021, 40(2): 112-116. (in Chinese)
- [5] 谢应科, 张涛, 韩承德. 实时 SAR 成像系统中矩阵转置的设计和实现[J]. 计算机研究与发展, 2003, 40(1): 6-11.
XIE Y K, ZHANG T, HAN C D. Design and implementation of matrix transposition unit for real-time SAR image systems [J]. Journal of Computer Research and Development, 2003, 40(1): 6-11. (in Chinese)
- [6] NGUYEN X T, NGUYEN H T, PHAM C K. A bit-level matrix transpose for bitmap-index-based data analytics[C]// Proceedings of the 6th International Conference on Communications and Electronics (ICCE). Ha-Long, Vietnam: IEEE Press, 2016: 217-220.
- [7] SUN T Y, XIE Y Z, LI B Y. Efficiency balanced matrix transpose method for sliding spotlight SAR imaging processing[J]. The Journal of Engineering, 2019(21): 7775-7778.
- [8] ZHANG B, MA Z G, YU F. A novel pipelined algorithm and modular architecture for non-square matrix transposition [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 68(4): 1423-1427.
- [9] HENRIKSSON M, GUSTAFSSON O. Streaming matrix transposition on FPGAs using distributed memories [C]// Proceedings of the IEEE Nordic Circuits and Systems Conference (NorCAS). Aalborg, Denmark: IEEE Press, 2023: 1-6.
- [10] Micron Technology Inc. DDR3 point-to-point design support [EB/OL]. [2024-05-10]. http://www.micron.com/~media/Documents/Products/Technical%20Note/DRAM/t4113_ddr3_point_to_point_design.pdf.
- [11] JEDEC Solid State Technology Association. DDR3 SDRAM standards: JESD79-3F—2012 [S]. Arlington, USA: JEDEC Solid State Technology Association, 2012.
- [12] Xilinx Co., Ltd. 7 Series FPGAs memory interface solutions user guide [EB/OL]. [2024-05-10]. http://www.xilinx.com/support/documentation/ip_documentation/ug586_7Series_MIS.pdf.
- [13] 姚佳辰, 马睿, 杨晓华, 等. 基于分块转置的二维快速傅里叶变换的 FPGA 设计[J]. 电子测量技术, 2023, 46(15): 38-44.
YAO J C, MA R, YANG X H, et al. FPGA-based design of two-dimensional fast Fourier transformation via block transposing [J]. Electronic Measurement Technology, 2023, 46(15): 38-44. (in Chinese)
- [14] SOLOMON M. Transpose of a matrix: properties, examples & applications [EB/OL]. [2024-05-10]. <https://martinsolomon.io/concepts/transpose-of-a-matrix>.
- [15] 裴向东, 王庆林, 廖林玉, 等. 多核数字信号处理器并行矩阵转置算法优化[J]. 国防科技大学学报, 2023, 45(1): 57-66.
PEI X D, WANG Q L, LIAO L Y, et al. Optimizing parallel matrix transpose algorithm on multi-core digital signal processors [J]. Journal of National University of Defense Technology, 2023, 45(1): 57-66. (in Chinese)
- [16] 吴长瑞, 徐建清, 蒋景红. 基于 Kintex-7 FPGA 的 DDR3 SDRAM 接口应用研究[J]. 现代电子技术, 2017, 40(24): 21-24.
WU C R, XU J Q, JIANG J H. Research on DDR3 SDRAM interface application based on Kintex-7 FPGA [J]. Modern Electronics Technique, 2017, 40(24): 21-24. (in Chinese)
- [17] 鲍胜荣, 周海斌. SAR 实时成像高效矩阵转置研究和实现[J]. 现代雷达, 2013, 35(3): 24-27.
BAO S R, ZHOU H B. Study and implementation of high efficient matrix transpose for SAR real-time imaging system [J]. Modern Radar, 2013, 35(3): 24-27. (in Chinese)
- [18] 刘小宁, 谢宜壮, 赵博雅, 等. 一种二维访问效率均衡的 SAR 数据矩阵转置方法[J]. 电子学报, 2016, 44(1): 33-38.
LIU X N, XIE Y Z, ZHAO B Y, et al. A SAR data matrix transpose method of efficiency balanced two dimensional access [J]. Acta Electronica Sinica, 2016, 44(1): 33-38. (in Chinese)
- [19] GUO C G, XU J C, XU W Y. Highly efficient design of SDRAM-based CTM for real-time SAR imaging system [J]. IET Circuits, Devices & Systems, 2019, 13(5): 656-660.
- [20] 范明亮, 郭子涵, 柴晓楠, 等. 面向 FT-M7002 的 Sobel 边缘检测算法优化实现[J]. 计算机工程, 2022, 48(6): 193-199.
FAN M L, GUO Z H, CHAI X N, et al. Optimized realization of sobel edge detection algorithm for FT-M7002

- [J]. Computer Engineering, 2022, 48(6): 193-199. (in Chinese)
- [21] 曾灵灵, 张敦博, 沈立, 等. 便笺式存储器中一种新颖的交错映射数据布局[J]. 计算机工程, 2024, 50(5): 33-40.
ZENG L L, ZHANG D B, SHEN L, et al. A novel interleaved mapping data layout in scratch pad memory[J]. Computer Engineering, 2024, 50(5): 33-40. (in Chinese)
- [22] 白澜, 魏仁乐, 郭拯危, 等. 基于 GPU 的多模式 SAR 成像加速研究[J]. 太赫兹科学与电子信息学报, 2023, 21(8): 1037-1042.
BAI L, WEI R L, GUO Z W, et al. Multi-mode SAR imaging acceleration based on GPU[J]. Journal of Terahertz Science and Electronic Information Technology, 2023, 21(8): 1037-1042. (in Chinese)
- [23] 田卫明, 刘富强, 谢鑫, 等. 基于 GPU 粗细粒度和混合精度的 SAR 后向投影算法的并行加速研究[J]. 信号处理, 2023, 39(12): 2213-2224.
TIAN W M, LIU F Q, XIE X, et al. Research on parallel acceleration processing technology of SAR back projection algorithm based on two granularities and mixing precision of GPU[J]. Journal of Signal Processing, 2023, 39(12): 2213-2224. (in Chinese)

文字编辑 金胡考
栏目编辑 宋 圆