

超高频 RFID 读写器数字接收机设计

魏 鹏, 李 波, 杨玉庆, 王俊宇, 闵 昊

(复旦大学专用集成电路和系统国家重点实验室, 上海 201203)

摘 要: 针对超高频无源标签返回信号能量差异显著、数据率偏差大的特点, 提出一种超高频无线射频识别(RFID)读写器数字接收机的实现方案。采用包含功率估计、数字锁相环同步和差分解码等模块的接收机方案, 实现快速准确的接收。该数字接收机经过 Matlab 仿真验证, 在 Xilinx Spartan3E 平台上实现并测试通过。与常用的多组相关器接收机方案相比, 该数字接收机能以更少的硬件资源消耗实现更高性能的接收效果。

关键词: 无线射频识别; 数字接收机; 数字锁相环; 符号同步; 功率估计

Design of Digital Receiver for UHF RFID Reader

WEI Peng, LI Bo, YANG Yu-qing, WANG Jun-yu, MIN Hao

(State Key Lab of ASIC & System, Fudan University, Shanghai 201203, China)

【Abstract】 This paper presents a scheme of digital receiver for Ultra-high Frequency(UHF) Radio Frequency Identification(RFID) reader. Backscattered signals of passive RFID tags have various energy levels and large frequency variation, which can be handled by power detector, digital phase lock loop and differential decoding. The receiver is simulated in Matlab and implemented on Xilinx Spartan3E platform. Compared with conventional RFID receiver utilizing multiple correlation banks, the scheme achieves better performance with less hardware cost.

【Key words】 Radio Frequency Identification(RFID); digital receiver; Digital Phase Lock Loop(DPLL); symbol synchronization; power estimation

DOI: 10.3969/j.issn.1000-3428.2011.15.078

1 概述

超高频无线射频识别(RFID)系统具有通信距离远、识别速度快、信息容量大等优点, 在制造、物流、仓储等行业得到快速发展^[1], 其中, 无源电子标签因为相对低廉的成本得到了广泛应用。无源电子标签的工作原理决定了其返回信号的数据率偏差大, 且信号能量受环境和距离变化影响严重, 干扰接收机的正常解码, 给 RFID 读写器接收机的设计带来特殊的挑战。

针对超高频 RFID 系统特有的问题, 常用的解决方案是基于多组相关器的结构^[2], 通过对多组相关器输出值的分析进行数据率估算, 比较相邻符号的相关值从而进行符号同步和解码。这种方案硬件资源消耗大、解码精度不高, 难以适应 RFID 系统低成本高性能的发展趋势。

本文提出的数字接收机方案采用增强的数字锁相环(DPLL)结构进行频率跟踪与符号同步, 采用差分方式进行数据解码, 实现高性能接收; 同时为了补偿接收信号能量的变化, 进行了信号功率估计和增益补偿计算。

2 数字接收机指标分析

制定读写器数字接收机指标如表 1 所示。

表 1 超高频 RFID 读写器数字接收机指标

性能	要求	备注
功率估计范围	30 dB	标签能量变化范围
BLF 范围	40 kHz~640 kHz	C1G2 协议规定
BLF 偏差容忍度	-22%~22%	
误帧率	小于 10^{-3}	SNR 15 dB 时
处理时间	$<10T_{pri}$	留有 $10T_{pri}$ 裕量

本设计基于 EPC Global C1G2 超高频 RFID 协议^[3]。该协议规定, 超高频无源电子标签从读写器发送的载波中获取工作需要的全部能量, 并采用反向散射的方式返回信号。返回

信号采用 FM0 或者 Miller 编码, 其反向链路频率(BLF)为 40 kHz~640 kHz, BLF 最大偏差为 $\pm 22\%$ 。读写器和标签之间通信采用突发模式。在最严格的条件下, 读写器在收完一条标签返回的消息后, 需要在 20 个 T_{pri} (T_{pri} 是 FM0 符号周期或单个 Miller 子载波周期)内给出响应。

3 数字接收机设计

3.1 接收机系统结构

本文设计的数字接收机结构如图 1 所示。

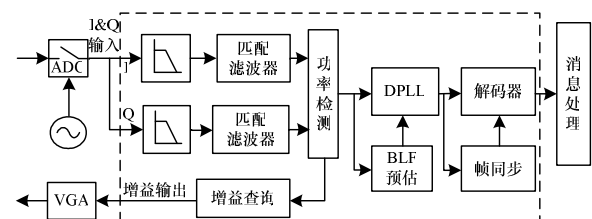


图 1 超高频 RFID 读写器数字接收机结构

虚线框内为数字接收机, 输入信号是经 ADC 采样得到的 I、Q 2 路正交的数字基带信号, 其中, ADC 时钟设定为接收信号 BLF 的 8 倍过采样时钟。接收信号经过信道选择滤波器与匹配滤波器后, 进入功率估计模块。I、Q 2 路信号的功率分别计算, 从中选出功率较大的一路进行 BLF 预估, 并进入

基金项目: 国家“863”计划基金资助项目“农业物联网体系架构与应用服务支撑平台”(2011AA100701); 国家科技支撑计划基金资助项目“药品安全追溯管理射频识别技术研究”(2008BAI55B07)

作者简介: 魏 鹏(1986—), 男, 硕士研究生, 主研方向: 数字集成电路; 李 波, 硕士研究生; 杨玉庆, 博士研究生; 王俊宇, 副研究员、博士; 闵 昊, 教授、博士生导师

收稿日期: 2011-02-25

E-mail: junyuwang@fudan.edu.cn

本文提出的数字接收机在 Matlab 环境中进行了系统仿真。仿真采用的标签返回数据基于 FM0 编码, 每一个帧是一个标准的 RN16 消息, 由带有前导零的 FM0 帧头与 16 bit 随机数组成。仿真平台加入的非理想因素包括 BLF 偏差、随机延时、载波相偏、随机信号能量、高斯白噪声等。在协议规定范围内的每一个 BLF 频点上仿真 10^5 个突发帧。为进行系统性能的比较, 在同样的条件下对传统结构的多组相关器方案也进行了类似的仿真, 仿真比较如图 5 所示。图中横坐标是归一化 BLF 频率, 变化范围从标准 BLF 的 78%~122%。纵坐标是系统误帧率, 表示接收机接收完整的一帧数据出错的概率。深实线和深虚线分别表示在输入信号信噪比为 15 dB 和 12.5 dB 时, 采用本文结构接收机的系统误帧率。浅虚线表示在输入信号信噪比为 15 dB 时, 采用文献[2]结构的接收机系统误帧率。可以看出, 本文提出的数字接收机能够满足设计指标要求, 且相对于传统结构的数字接收机具有更强的接收性能。

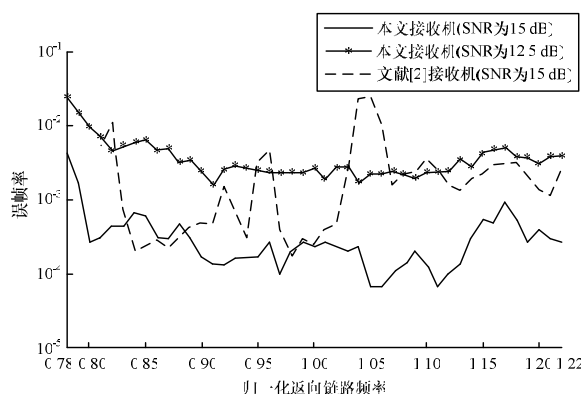


图5 数字接收机仿真性能比较

5 数字接收机硬件实现

本文提出的数字接收机在 Xilinx 公司的 Spartan3E FPGA 平台上进行了硬件实现,并在 RFID 硬件测试平台上通过了功能验证。当标签返回信号能量较弱,波形受噪声影响严重且存在 22% 频率偏差时,接收机仍然能够在规定时间内完成正确的解码。

表 2 给出了数字接收机硬件开销的对比。本接收机与传统结构的接收机^[2]相比,虽增加了功率估计功能,仍然具有较小的硬件开销。

表2 数字接收机 FPGA 资源消耗对比

资源类别	本文接收机	文献[2]接收机
查找表单元	4 799	9 355
寄存器单元	2 929	2 460
内存比特数	5 000	32 000

6 结束语

本文提出了一种新型结构的超高频 RFID 读写器数字接收机方案,利用数字锁相环进行频率跟踪和符号同步,通过功率估计器辅助自动增益控制,采用差分解码提高解码精度。硬件测试验证,该方案显示出了良好的性能和较低的资源消耗,具有较高的实用价值。

参考文献

- [1] 张宏宇,柴逸飞,涂时亮,等. 基于传感器网络和有源 RFID 的集装箱管理系统[J]. 计算机工程, 2009, 35(1): 245-246.
- [2] Huang Chenling, Liu Yuan, Han Yifeng, et al. A New Architecture of UHF RFID Digital Receiver for SoC Implementation[C]//Proc. of the Wireless Communications and Networking Conference. Hong Kong, China: [s. n.], 2007: 1659-1663.
- [3] EPCglobal Inc.. Protocol for Communications at 860 MHz~960 MHz[EB/OL]. (2010-06-10). <http://www.gs1.org/gsm/kc/epcglobal/uhfclg2>.
- [4] Gardner F M. Interpolation in Digital Modems——Part II: Implementation and Performance[J]. IEEE Transactions on Communications, 1993, 41(6): 998-1008.
- [5] Gardner F M. A BPSK/QPSK Timing-error Detector for Sampled Receivers[J]. IEEE Transactions on Communications, 1986, 34(5): 423-429.
- [6] Simon M, Divsalar D. Some Interesting Observations for Certain Line Codes with Application to RFID[J]. IEEE Transactions on Communications, 2006, 54(4): 583-586.

编辑 任吉慧

(上接第 239 页)

本文采用 Mentor 公司的 Questasim 进行综合后仿真,图 4 是前 80 Byte 的 CRC 与包尾的 CRC 串行计算的波形图,并行计算的仿真情况如图 5 所示。

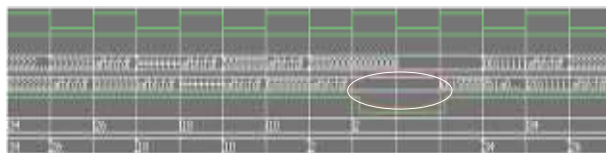


图4 80 Byte 前后的数据串行计算的波形图

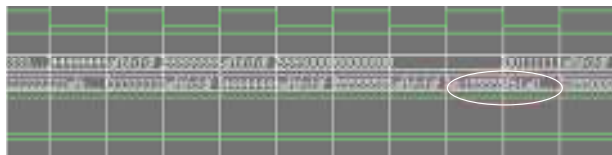


图5 80 Byte 前后的数据并行计算的波形图

可以看出,对于长度为 82 Byte 的数据包,若将前 80 Byte 的 CRC 与 81 Byte、82 Byte 的 CRC 串行执行,则产生 1 个周期的延迟,并行执行则不产生任何延迟。

5 结束语

本文针对 RapidIO 控制器设计了一种新的 CRC 模块,对

于长度大于 80 Byte 的数据包,它可以将前 80 Byte 的 CRC 与包尾的 CRC 并行计算,减少了 1 个时钟周期的延时;用 4 个 CRC16 生成器代替了传统的包含 CRC64、CRC48、CRC32、CRC16 生成器的 CRC 模块,能减少参与计算的逻辑门数和电路面积,同时降低功耗。下一步将在实际项目中对模块的性能进行评估。

参考文献

- [1] 聂新义,孙柯柯,马克杰. PCI 转 RapidIO 桥的设计与实现[J]. 计算机工程, 2010, 36(3): 246-248.
- [2] Fuller S. RapidIO 嵌入式系统互连[M]. 王 勇,林粤伟,译. 北京: 电子工业出版社, 2006.
- [3] RapidIO Trade Association. RapidIO Interconnect Specification Rev1.3 Part 6: 1x/4x LP-Serial Physical Layer Specification[EB/OL]. (2005-01-01). <http://www.RapidIO.org>.
- [4] Roginsky A L, Christensen K J, Polge S. Efficient Computation of Packet CRC from Partial CRCs with Application to the Cells-in-frames Protocol[J]. Computer Communication, 1998, 21(6): 654-661.

编辑 顾姣健